

LOW LEVEL RF SYSTEM FOR S1 GLOBAL IN STF

Hiroaki Katagiri[#], Dai Arakawa, Toshihiro Matsumoto, Takako Miura, Shinichiro Michizono, Yoshiharu Yano, Shigeki Fukuda

High Energy Accelerator Research Organization
1-1 Oho, Tsukuba, Ibaraki, 305-0801

Abstract

S1-global project for ILC (International Linear Collider) had been performed in KEK-STF (Superconducting RF Test Facility). Digital feedback scheme and multi channel RF monitor are necessary for the LLRF system of ILC. The digital feedback system using μ TCA was newly installed for DRFS (Distributed RF Scheme) that is the final program of S1-Global. The IF (Intermediate Frequency)-mixture method and 34 channel ADC board were examined as multi channel RF monitor.

STF での S1 グローバルのための低電力高周波系の構成

1. はじめに

高エネルギー加速器研究機構の超伝導 RF 試験施設 (STF) では、国際リニアコライダー計画 (ILC) における技術開発の一環として 2010 年 7 月から 2011 年 2 月まで国際研究協力による S1 グローバルと呼ばれる試験が行われた。この試験はステージ 1 からステージ 3 の 3 段階に大別され、ステージ 1 では 2 台のクライストロンで各々 4 台の超伝導空洞を、ステージ 2 ではクライストロン 1 台で 8 空洞を励振する構成がとられた。さらにステージ 3 では 1 台のクライストロンで 2 空洞を励振する分布型 RF システム (DRFS) の評価を行った^[1,2]。ILC で求められる加速電界の振幅及び位相安定性を達成するためデジタルフィードバック (FB) ・フィードフォワード (FF) 制御が必要とされ、ステージ 2 まではコンパクト PCI を基にした FPGA ボードを、ステージ 3 では新たに開発された μ TCA を用いたシステムを採用した。また RF のモニタとしてはパワーメータによる計測のほか、今後より多くの信号の取り込みが求められることから、FB/FF 用ボードを転用して 1 つの ADC で複数の信号を計測可能とした IF (中間周波数) ミックス方式と、34 チャンネルの ADC を搭載した FPGA ボードとを性能評価のため併用した。これら STF における低電力高周波系 (LLRF) についてステージ 3 での様子を中心に報告する。

2. DRFS での LLRF 系の構成

S1 グローバルのステージ 2 までは地上に設置されたクライストロンから地下の超伝導空洞に電力を供給していたが、ステージ 3 の DRFS 試験では地下に 2 台の DRFS 用クライストロンを設置し、それぞれ 2 つの空洞を励振する方式が採られた (図 1)。これに伴い、LLRF 系では FB/FF 制御部を地下に設置することになった (図 2)。FB 系にはクライストロン出力の進行波と反射波および空洞ピックアップ

プ信号を、モニタ系には、これらの信号に加えて空洞入力部の進行波と反射波、クライストロン前段アンプの出力信号を入力する。



図 1 : DRFS 用クライストロンと超伝導空洞を収納したクライオモジュール

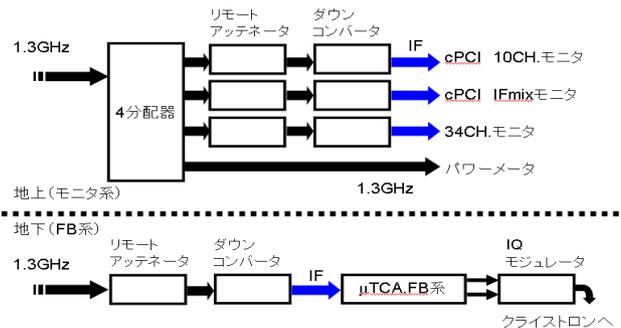


図 2 : DRFS 試験時の RF モニタ信号系統図

3. デジタルフィードバック系

ILC で求められる空洞内の加速電界の安定度は、パルスの平坦部で振幅 0.07%、位相で 0.24 度とされている。この安定度を達成するため、約 1.5mS のパルス内で振幅と位相の FB/FF 制御を行うシステムが導入されている。このシステムでは、先ず

[#]hiroaki.katagiri@kek.jp

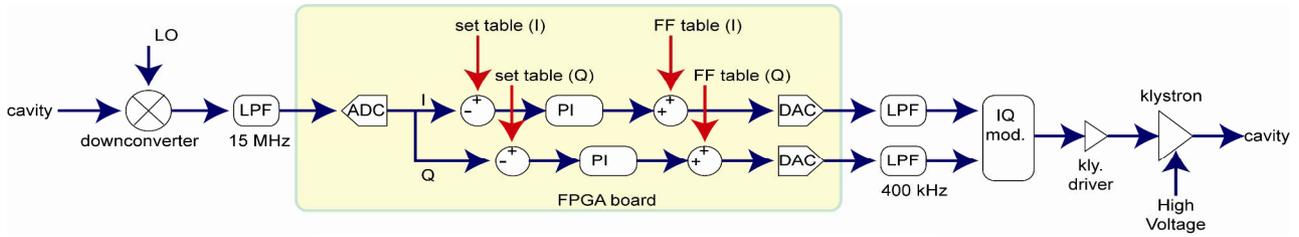


図3： FB/FF制御のブロックダイアグラム

1.3GHzの高周波信号を10MHzのIFにダウンコンバートし、ADCにより40MHzのクロックでサンプリングする。1波長を90度の位相差ごとに4回サンプリングする事でI/Q成分が求められる。続いて、FB/FF制御部が振幅・位相変調を施したI/Q信号を、DACからI/Q変調器に供給する(図3)。

図4はステージ2まで使用されたコンパクトPCIをベースとしたFB/FF系である。10チャンネルのADCと2チャンネルのDACを搭載したFPGAボードとCPUボード、両者のインタフェースとなるDSPボードで構成される。DRFS試験時は10チャンネルのモニタとして使用した。

図5はDRFS試験時に導入された、プラットフォームに μ TCAを採用したシステムで、ERL(エネルギー回収型リニアック)テスト施設(cERL)のために開発中のハードウェアがベースとなっている^[3]。ADCとDACを各4チャンネル搭載したFPGAボードが中心となる。CPUはFPGAチップに内蔵され、OSはLANを介して起動する。

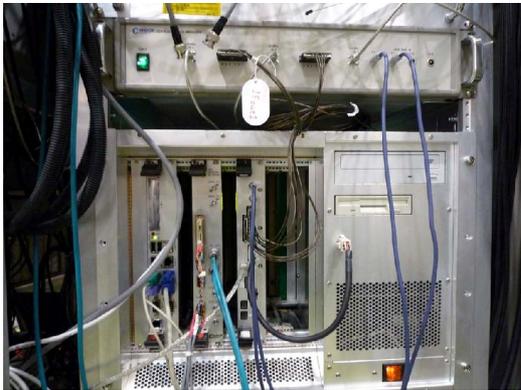


図4：cPCIデジタルFB/FF系



図5： μ TCAデジタルFB/FF系

4. IFミックスモニタ系

ILCでは1台のクライストロンで20台以上の超伝導空洞を駆動する案もあり、FB制御を行うために多数の空洞ピックアップ信号を取り込むことが求められる。

IFミックス方式^[4]は、複数の高周波信号を各々異なる周波数にダウンコンバートした後に混合し、ADCに入力する。通常のIF方式と異なり、各々のIF信号は90度毎にサンプリングされる訳ではないため、I/Q成分に分離するための演算は複雑になるが、ADCの数を抑えつつ多チャンネル化することが期待される。S1グローバルでは、前節で述べたコンパクトPCIのFB/FF系と同じハードウェアを用い、FPGA上に構成する回路のみの変更することでADC1つ当たり3つ、計30のIFを測定する試験を行い、モニタとしての動作だけでなくFB制御も可能であることが確認された。

5. 34チャンネルADCボード

多チャンネルモニタの1つの案として、通常のIF方式で使用する34チャンネルのADCを実装したFPGAボードの開発も進めている(図6)。IFミックス方式はADCの数を抑える利点がある一方で、I/Q成分の演算のディレイが大きくなる事、LOやIF生成系及びミキサ等の構成が複雑になる事が欠点として挙げられる。多チャンネルのADCを実装する方式では、必然的にFPGAへの入力信号数も多くなりボードの設計が難しくなると考えられ、それぞれ一長一短がある。DRFS試験では、この34チャンネルADCボードの動作試験を行い何度かの改良を経て、有効なデータを得られることを確認した。今後、IFミックス系と比較した性能評価、開発を継続していく予定である。

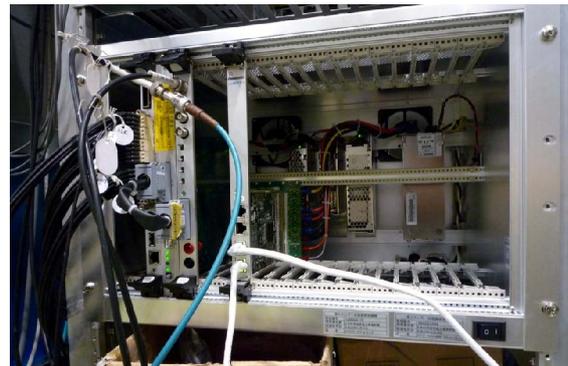


図6：cPCI34チャンネルモニタ系

6. パワーメータによる測定系

超伝導空洞や大電力高周波系の性能を評価する上で、電力の絶対値を正確に測定する必要があるため、これまで述べたように IF をデジタル的に測定するだけでなく、1.3GHz の高周波信号を直接パワーメータで測定する系統も用意されている。図7は DRFS 試験時の構成で、2 チャンネルのパワーメータ 6 台を常備し、4 台の空洞のピックアップと反射波、2 台のクライストロンの出力進行波、反射波を測定する。またデジタル系モニタの校正にも使用される。

パワーメータ増設の要望は多いが、導入とメンテナンスのコストの問題で難しいのが現状である。また、センサの個体により測定値に差が出るのが問題となる場合もあり、今後の課題となっている。



図7：パワーメータとパワーセンサ

7. 反射係数円を用いた減衰量測定

前述のパワーメータによる計測系では電力の絶対値を正確に求めるために、モニターケーブルの減衰量や、方向結合器などの高周波部品の結合度や挿入損失をネットワークアナライザで校正している。ただし、地上-地下間に敷設したケーブルでは、ネットワークアナライザの2ポートを使用した減衰量測定が困難であることから、1ポートでリターンロス計測する事で減衰量を算出する必要がある。より正確な値を求めるため、反射点の位置による反射係数の変化を利用し、反射係数円から減衰量を計算する方法を採った(図8)。ネットワークアナライザに測定対象のケーブルを接続し、モードは S11、反射係数表示に設定する。もう一方のケーブル端にはショート終端した同軸ラインストレッチャーを接続し、ストレッチャーを一定間隔で調整する度に反射係数をプロットしていくと、電気長で半波長分変化させたところで反射係数の軌道は円を描く(図9)。

この円の半径が反射係数の絶対値に相当し、 $|p|$ とすれば、リターンロスは $20 \log(|p|)$ 、ケーブルの減衰量はこの半分となる。なお、この測定ではラインストレッチャーの挿入損失も含まれるため、ラインストレッチャー単体でも同様の測定を行い補正する必要がある。

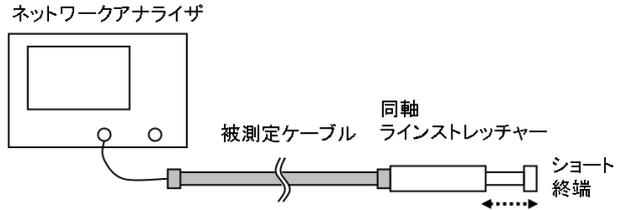


図8：ケーブル減衰量測定の構成

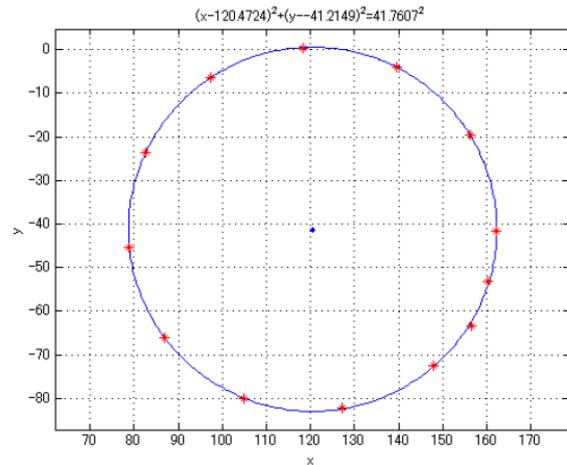


図9：反射係数測定結果と円へのフィッティング

8. まとめと今後の予定

STF での S1 グローバルでは予定されていた項目を無事消化することができた。現在は、次に予定されている量子ビーム実験に向けた準備を進めている。LLRF 系では、 μ TCA の FB/FF ボードや 34 チャンネル ADC ボードの開発を継続するほか、いくつかの新たな試みもある。最後に、このうちの 2 件を紹介する。

8.1 検波器を使用した簡易パワーメータ

パワーメータ増設の要望に低コストで対応する案として、検波器と FPGA ボードを組み合わせた、簡易パワーメータの開発を検討している。図10のような検波器の入出力特性の校正データを FPGA 上を持たせ、ADC で測定した電圧から入力電力をリアルタイムに求める。開発には、ADC/DAC を各 2 チャンネル搭載した市販の FPGA 評価ボードを用いている(図11)。パルス内の任意のタイミングでの電力値をリモートで読み出すほか、検波後のパルス波形の出力(オシロスコープでの観測用)、データロガーによる記録のための DC 出力など、6 章で述べた汎用パワーメータと同等の機能を持たせる予定である。

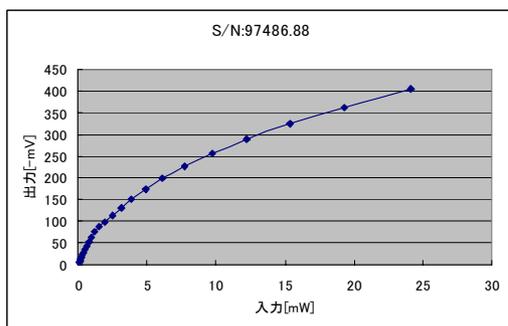


図 10 : 検波器入出力特性の一例



図 11 : XtremeDSP ボード

8.2 ダイレクトサンプリングによる I/Q 復調器

これまで述べてきたデジタル FB 系及びモニタ系では、元の高周波信号から IF にダウンコンバートした信号をサンプリングする方式をとっている。近年、ADC の広帯域化、高速サンプリング化が進み、1.3GHz を直接サンプリングすることが可能となっている。高周波信号を直接測定することで LO や IF 生成系が不要になり、これらの位相ノイズ等に起因する測定エラーも排除されると期待される^[5]。図 12 は周波数帯域 1.4GHz、最大サンプリング 400MHz の高速 ADC と FPGA ボードを組み合わせたデータ収集系である。高周波信号を直接 ADC に入力することから、ダイレクトサンプリングと呼んでいる。

IF 方式と異なりサンプリング速度が高周波信号の周波数より低いため、I/Q 成分を求めるには数波長分サンプリングした後、重み付き平均を取る必要がある。S1 グローバルでは導入しなかったが、現在、3 章で述べた μ TCA を採用したボードの開発を進めており^[6]、今後性能評価を行う予定である。



図 12 : 高速 ADC と FPGA 評価ボードによるダイレクトサンプリング試験

参考文献

- [1] T. Matsumoto, et al., "RF Sources of S1 Global Project in Super-conducting RF Test Facility (STF) at KEK", This proceedings.
- [2] S. Fukuda, "Japanese ILC Scheme:DRFS(Distributed RF System)", This proceedings.
- [3] T. Miura, et al., "Digital Feedback System using μ TCA for DRFS", This proceedings.
- [4] T. Matsumoto, et al., "Development of Digital Low-level RF Control System using Multi-intermediate Frequencies", PAC2007, Albuquerque, USA, pp. 2110-2112.
- [5] Y. Okada, et al., "Direct Sampling of RF Signal for 1.3 GHz Cavity", Proceedings of PAC09, Vancouver, BC, Canada, 2009.
- [6] J. Mizuno, et al., "A new FPGA board with fast ADCs for direct RF sampling", This proceedings.