

Fast Interlock System using an FPGA Board

Takako Miura^{1,A)}, Geng Zheqiao^{B)}, Hiroaki Katagiri^{A)}, Shigeki Fukuda^{A)}, Toshihiro Matsumoto^{A)},
Shinichiro Michizono^{A)}, Yoshiharu Yano^{A)}

^{A)} High Energy Accelerator Research Organization (KEK)

1-1 Oho, Tsukuba, Ibaraki 305-0801

^{B)} Institute of High Energy Physics (IHEP)

19 Yu Quan Lu Beijing 100049, China

Abstract

The fast interlock system using an FPGA has been developed. The interlock status is confirmed via internet using the PowerPC embedded as a part of the FPGA. Interlock signal is generated without time delay by the load of the PowerPC, since a logic circuit is programmed in order behavior of the PowerPC to become independence. This work is still test stage, but the present condition is reported.

FPGAを用いたファーストインターロックシステム

1. はじめに

高エネルギー加速器研究機構の超伝導高周波試験設備(STF)では、周波数1.3 GHz、パルス幅1.5 ms、最大パワー5 MW、繰り返し5Hzの高周波がクライストロンから導波管、カップラーを通して超伝導空洞に供給される^[1]。ファーストインターロックシステムは、クライストロンや加速空洞などの機器の損傷を防ぐために、放電や高周波反射、冷却水や加速管の真空などのインターロック信号を受け取り、クライストロンへの高周波入力を停止させるものである。

今回設計したファーストインターロックモジュールでは、リモートでインターロックのステータス表示を可能とし、小型で安価なシステムを構築するため、Xilinx社製FPGA Vertex-II Proを搭載したSUZAKU-V²というボードコンピュータを採用した。SUZAKU-Vは、フリーI/Oピンが70ピン、FPGA内にハードコアプロセッサPowerPCが構築されており、OSにはLinux、LAN(10Base-T/100Base-Tx)も標準装備されている。また、LinuxシステムやFPGAコンフィグデータはFlashメモリに保存されており、電源投入時にFPGAにダウンロードされる。SUZAKU-Vのブロック図を図2に示す。製作したファーストインターロックモジュールは、図3のようなNIMモジュールで、信号の入出力は、背面に設けたMRコネクタによって行う。インターロックのステータス表示は、Linuxを通じて外部PCから行うことができる。このFPGAを使ったファーストインターロックシステムは、まだ試験段階であるが、現状について報告する。



図1：SUZAKU-Vの外観

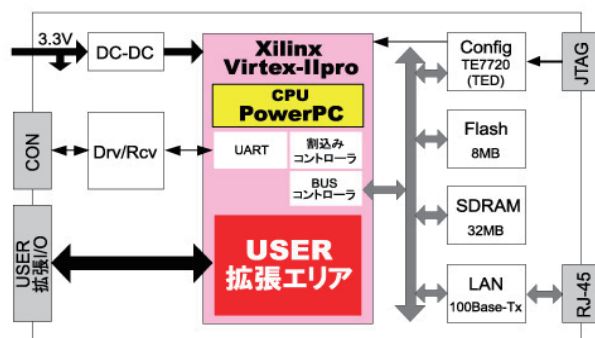


図2：SUZAKU-Vのブロック図³

2. 入力信号

インターロックモジュールへの入力信号は、放電を検出するアーク検出器^[2]からの信号、クライストロン出口やサーキュレータ部での進行波と反射波、およびVSWRの制限信号、加速空洞がインストールされる8台のクライオモジュールからのインターロック信号など、表1に示すように全部で40本あ

¹ takako.miura@kek.jp

² <http://www.atmark-techno.com/products/suzaku/suzaku-v>

³ <http://www.atmark-techno.com/products/suzaku/suzaku-v/specs>

る。信号の駆動方式は、TTL、フォトカプラ、電流駆動などがあるが、入力信号は全てLVTTTLにモジュール内で変換され、バッファアンプを通してFPGAへ入力される。また、入力信号の種類によって、ノーマルコンディションがHighとLowの2種類が混在するが、これについては、FPGAの論理回路内で初期値を定義して処理を行う。

表 1 : 入力信号の種別および点数

信号名称	駆動方式	点数
アラーム入力信号点数	アーク検出器からの入力用	10点
	タンクレベルOK用	8点
	クライストロン出力RF用	3点
	サーキュレータ出力RF用	3点
	予備用	8点
PLC RF ON / OFF 入力信号点数	フォトカプラ	2点
PLCアラームリセット入力信号点数	フォトカプラ	2点
MPS PF OUT Enable 入力信号点数	電流駆動方式受側	1点
予備用入力信号点数	電流駆動方式受側	1点
PLC_OK入力信号点数	電流駆動方式受側	1点
cPCI OK入力信号点数	フォトカプラ	1点



図 3 : インターロックモジュール

2. 論理回路

入力信号のサンプリングレートは、水晶発振器周波数の3.6864 MHzとし、システムクロックは66.3552 MHzである。ノイズとの分離を図るため、入力信号が10 μs以上続けば本物と解釈するようにプログラムした。全ての入力に対して”OR”をとり、インターロックがかかると、インターロック信号はHighからLowに切りかわり、リセット信号が入るまでラッチされる。図4と図5に、インターロック信号の動作結果を示す。図4では入力信号幅が10 μs以下なのでノイズとみなしインターロック信号が出力されない。図5では、入力信号幅が10 μs以上なのでインターロック信号が出力される。リセットには、パワーオンリセットとハードリセット、ソフトリセットの3つがあり、これらの”OR”をとって論

理回路の初期化を行う。パワーオンリセットは、SUZAKUには電源監視ICが実装されており、電源投入時にリセットがかかるようになっている。ハードリセットは、モジュール本体にあるリセットボタンによるもので、ソフトリセットの場合は、外部のPCからリモートでリセットすることができる。また、インターロック発報後も、引き続きどの入力から異常信号が入ったかをモニターし続け、ステータスを50 ms毎PowerPC側へ受け渡す。入力信号を受けつけ、インターロック信号を出力する論理回路部の動作は、PowerPCの動作とは独立にしている。そのため、外部との通信などLinux側の負荷によって、出力信号に遅れが生じないようにしている。

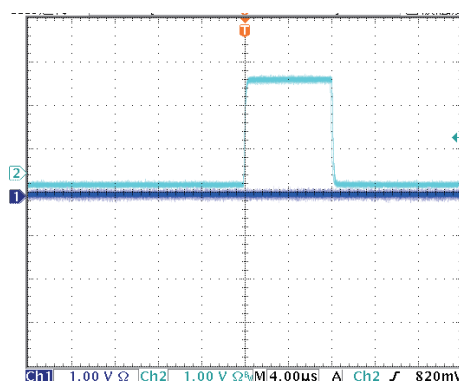


図 4 : 入力信号幅が10μs以下の場合ノイズとみなし、インターロックを出力せず

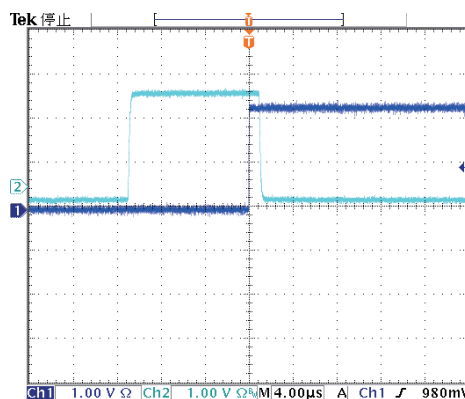


図 5 : 入力信号幅が10μs以上の場合インターロックを出力 (ただし、図の信号は極性が逆)

3. ソフトウェア

ソフトウェア部は、図6に示すようにインターロックモジュールのLinux内のデバイスドライバと、外部PCのインターロックステータス表示ソフトの大きく2つに分けられる。インターネットを介した通信は、Linux側をサーバー、外部PC側をクライアントとしたソケット通信によってなされる。

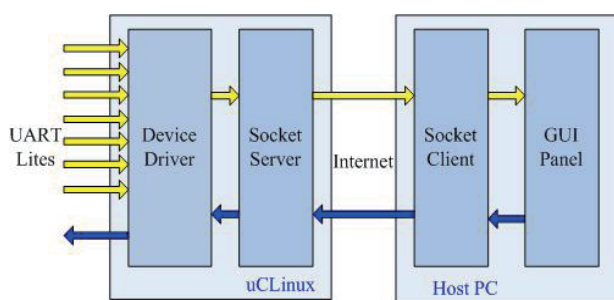


図6：ソフトウェアの構成

3.1 デバイスドライバ

論理回路部とLinux側とで情報のやり取りをするには、Xilinx社のエンベデッド開発キットEDKを使ってFPGA内にI/O用のIPコアを作成し、メモリアドレスを指定する。Linux側のデバイスドライバは、そのアドレスにアクセスし、インターロックの情報を取得したり、ソフトリセットの情報を出力したりする働きをする。組み込まれているLinuxの容量が非常に小さいため、別途、ソフトウェア開発用にPCを用意し、クロス開発環境を構築する必要がある。そこでデバイスドライバをコンパイル、カーネルに組み込み、新しいLinuxイメージファイルを作成する^[3]。それをFTP経由でLinuxに書き込みを行った。

3.2 表示ソフト

クライアント側の表示ソフトの画面を図7に示す。Linux側との通信が正常かどうか、常に監視を行い、通信が失敗した場合は、警告が表示される。インターロック状態の表示は、最初に発生した異常信号を赤、それ以降に発生した信号を黄色で表示するようにした。画面内にはリセットボタンが用意されており、これを実行することによって、FPGA論理回路内のインターロックステータスをリセットすることができる。

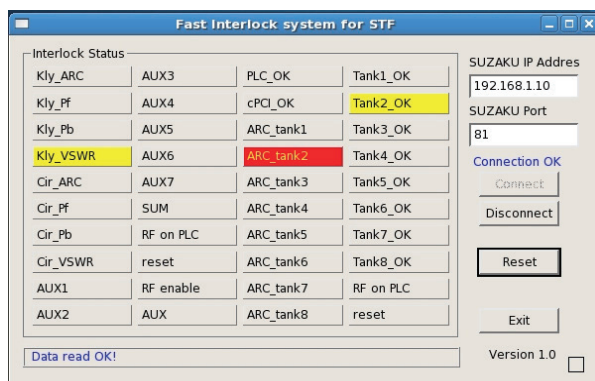


図7：表示ソフトの画面

4. まとめ

FPGAを用いたファーストインターロックシステムの開発を行った。FPGA内にPowerPCが構築されたボードコンピュータを用いて、インターネット経由でインターロックステータスの確認、およびリセットが行えるようにした。CPUの負荷によってインターロック信号に時間遅れが生じないように、論理回路において、インターロック信号生成部は、PowerPCと独立に動作させた。まだ、試作段階であり、細かい問題点については今後検討していく。

参考文献

- [1] S. Fukuda, "RF Source of Superconducting RF Test Facility(STF) in KEK", Proc. of this conference (TO01)
- [2] Y. Yano, et al., "Development of arc detector using Photomultiplier Tube", Proc. of this conference (TP25)
- [3] "uCLinux-dist Developers Guide", http://download.atmark-techno.com/suzaku/manual/uclinux-dist_developers_guide_ja-1.2.0.pdf