

## COMBINATION TEST OF J-PARC MR STEERING MAGNETS AND ITS POWER SUPPLY SYSTEM

Kazuaki Niki<sup>1</sup>, Koji Ishii, Katsuya Okamura, Jun-ichi Odagiri,  
Takeshi Toyama and Eiichi Yanaoka  
High Energy Accelerator Research Organization  
1-1 Oho, Tsukuba, Ibaraki, 305-0801

### Abstract

Combination test of J-PARC MR steering magnets and its actual power supply was performed. The purposes of this test are the checking of a tracking at the bipolar operation, the developments of EPICS control tools and the study of the noise problem. Required tracking error is less than  $10^{-3}$  for the maximum field strength. At the zero crossing point of the bipolar operation, the tracking is slightly worse. But overall tracking error is within a requested one. The proto-type EPICS control tools for the PLC and WE in this power supply were made. Beam profile monitors will be installed inside of the steering magnets. By the results of the noise study, the planning to put the common mode core in all the power supplies will be considered to reduce the noise.

## J-PARC MR 軌道補正電磁石とその実電源との組み合わせ試験

### 1. はじめに

J-PARC MR 軌道補正電磁石（ステアリング電磁石：標準タイプは最大磁場約2kG、口径0.17m、磁極長約0.2m）は50GeVリング上に水平タイプと垂直タイプそれぞれ93台ずつ（計186台）が設置される予定である。水平タイプの内6台と垂直タイプの内2台は大口径タイプ（口径0.2m）である。また垂直タイプの内1台は大大口径タイプで2008年5月に予定されている初ビーム運転（Day1）時にはインストールされない。また電源は62台分を1セットとして3つの電源棟に設置される。1セットの電源は1つの統合コンバーター部と62台のパターン電流出力部からなる大規模な電源である。

2006年10月から12月にかけて1つのコンバーター部と6台の電流出力部、2台の実負荷で構成した組み合わせ試験（図1）を行った。試験の主目的は実負荷でのリップル、パターン運転での電流や磁場のトラッキング性能の確認、EPICSを用いた上位制御からの応答確認等である。さらに実運転に向けての不具合や改良点の洗い出しを行った。また電源はIGBTスイッチング素子を多用しているためノイズ対策の検討等も今回の試験の大きな目的である。



図1：試験の様子（左写真が磁石、右が電源）

### 2. 磁石と電源の試験

ステアリング電磁石は製作時にDC電流で水平と垂直1台ずつホール素子によるマッピング測定を型式で行ない、全数は回転コイルによる磁場測定をやはりDC電流で行なっている。パターン電流での磁場測定は行なっていない。一方、電源製作時のトラッキング性能試験は模擬負荷による標準パターン（0Aで0.17秒のフラットトップ、0Aから240Aまで1.9秒でランプアップ、0.7秒のフラットトップの後0.87秒で0Aまで落とす全3.64秒のパターン）でのテストが行なわれている。このときのパターンの刻みは最小の2msのみである。

今回の試験では標準パターンだけでなく、負の電流から正の電流へと変化するバイポーラーパターンでのトラッキングや4ms、8ms刻みの長周期パターンでのトラッキングについて詳しく測定を行なった。また電源構成は電流出力部の台数が62台から6台になる以外はなるべく実際と同様となるよう、実際の受配電盤、トランスを用いて6.6kVからの受電と200Vへの降圧、保護協調等も行なった。さらに実際に近い動作のトリガー機器を使い、上位制御を模擬したLinux上で動作するEPICS-IOCをもちいて、制御用PLCとパターン発生用PLCの制御、そして電流モニター用のWEの読み込みといった動作テストを含めた総合的試験となった。

### 3. 組み合わせ試験結果

#### 3.1 バイポーラーパターンでのトラッキング

-120Aから+120Aまで1.9秒で立ち上げた場合のト

<sup>1</sup> E-mail: kazuaki.niki@kek.jp

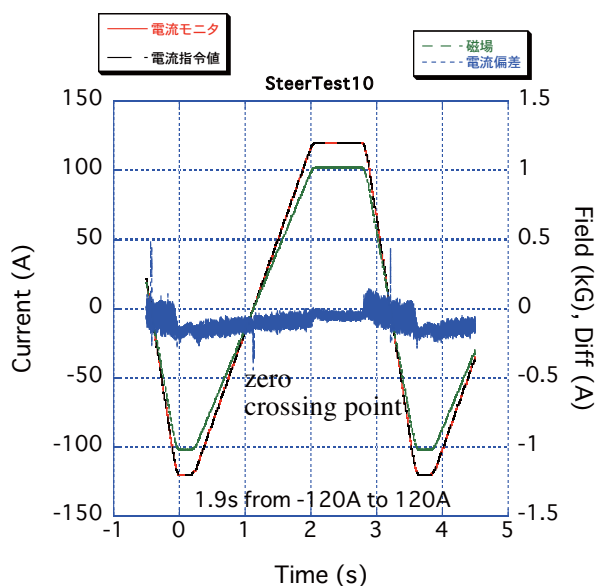


図2：バイポーラーパターンでのトラッキング

トラッキングの結果を図2に示す。パターンの周期は3.64秒、フラットボトムの時間が0.17秒、フラットトップの時間が0.7秒と標準パターンと同じである。黒は電流指令値で赤がDCCTで測定した実電流値、青はその差である。また緑はホール素子で同時測定した磁石の中心磁場を示す。ゼロ電流を切る所（ゼロクロス点）でトラッキングが最大電流変化量240Aに対して0.1%程ずれていることが分かる。0.1%はステアリング磁石に要求されているトラッキングエラーの許容値ぎりぎりである。その他の場所では許容値に十分入っている。このゼロクロス点でのトラッキングエラーが引き起こすCODについては、オペティクスの検討をおこなって問題のない事を確認した<sup>[1]</sup>。磁場の値については、電流とほぼ同じ変化をしており、ボトムやトップのところでも渦電流の効果は

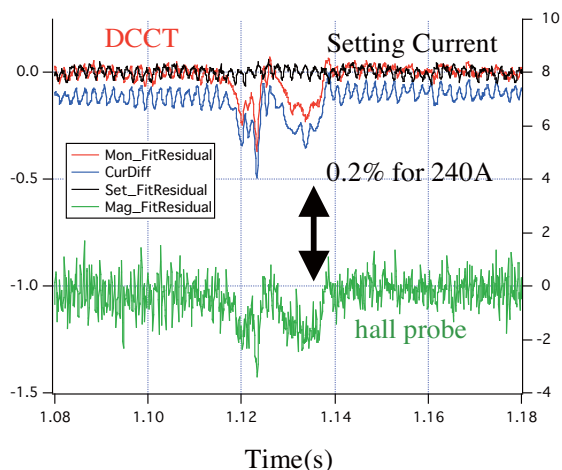


図3：ゼロクロス付近での電流と磁場の偏差

0.1%に比べて十分小さいと思われる。しかしゼロクロス点ではやはり電流の変化と同様なずれが起きている。図3はゼロクロス付近での電流と磁場を示す。線の色の意味は図2と同じである。図では立ち上がりの傾きが水平になるように補正している。電流と磁場は同じようにゼロクロス点で0.1%程指令値に対して遅れている事が分かる。

### 3.2 長周期運転パターンでのトラッキング

パターンの最小刻みはPLCの運転能力から2msとしている。パターンの最大点数が2000点なので可能な最大周期は4秒となる。3.64秒の標準パターンではこれで良いが、遅い取り出しの運転モードで最大10秒程度の要求がある。これを実現するためクロックを半分や1/4にして最大8秒や16秒の運転モードが出来るようにしている。しかしこの場合のパターンの時間刻みは4ms、8msとなる。図4は2ms、4ms、8msのステップで電流指令値を変えた場合の標準パターン、バイポーラーパターンでの電流偏差を示す。図から分かるように4ms、8msのステップのパターンではトラッキングエラーが大きくなっている。4msの

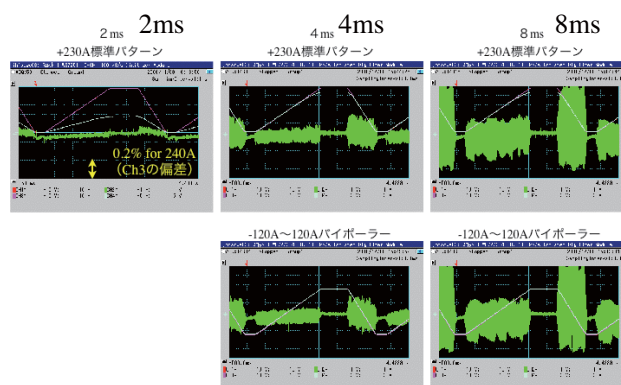


図4：時間刻みを変えた場合のトラッキング

場合で±0.1%強、8msの場合は±0.3%程にもなる。これは電源がステップ応答についていけないため、電流指令値に1次遅れのフィルタ1msを入れているが、これに対して4ms、8msが大きすぎるのが原因である。解決策としてフィルタの時定数を調整することも考えられるが、もともと4ms、8msはトラッキング応答としても大きすぎるので別な対策を考える必要がある。例えば現状では2000点のメモリが4パターン分有るのでこれを4000点の2パターンと考えて使うと2msステップで8秒までの運転が可能である。最低2パターンないと運転中にパターンの変更が出来ないのでこれが限界である。10秒周期のパターンが必要なら、メモリを増やす等の対応を考えなければならない。

### 3.3 EPICSによる制御

図5は今回テストしたEPICSによる電源制御のダイアグラムを示す。1セットの電源にはON/OFF制御

EpicsでのSteering制御

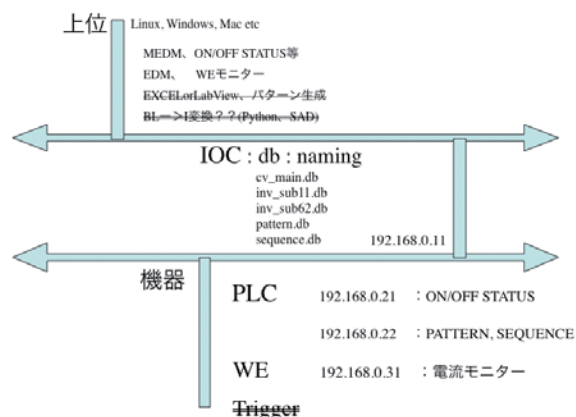


図 5 : EPICSによる制御図

用、ステータス用のPLCがマスター1台+スレーブ11台、パターン生成用のPLCが11台、そしてDCCTで電流をモニターするWEが3台ある。電源を遠隔運転、監視するにはこれら全てをLinux-IOCから制御する必要がある。今回製作したプロトタイプのスティアリング制御用データベースは統合コンバーター制御用の cv\_main.db、個別電流出力部制御用の inv\_sub11.db と inv\_sub62.db、そしてパターンとシーケンス制御用の pattern.db と sequence.db からなる。シーケンス制御とは各個別電源に設定可能な4つのパターンをどの順序で運転するかの設定で、将来のスーパーサイクル運転等のために用意されたものであるが、前章で述べたように長い周期の運転にも使える。またその他10chのデジタイザーである WE7251 を読むテストも行なった。今回上位の制御パネルはMEDMやEDMを使って電源のON/OFF等のテストを行なったが、パターンやシーケンスの生成、変更等のテストは十分には行なえなかった。特にEPICSのデータベースでパターンやシーケンスを制御するアルゴリズムを作るのはかなり面倒であり、今後さらに使えるものにするためには個別にC等でサポートプログラムを作る事を考えなければならない。

### 3.4 ノイズ問題

ビームプロファイルモニター (BPM) はステアリング電磁石の磁極の中に設置されるため (図 6 左写真)、この電源が発生する電磁ノイズが与える影響が問題となる<sup>[2]</sup>。ノイズ源としては空間を伝わる電磁波ノイズや接地線や電力線から伝わるもの等がある。ノイズの周波数はkHz帯からMHz帯までかなり広範囲にあった。IGBTスイッチング素子のスイッチングの周波数よりかなり高周波まで存在する。これは素子のスイッチングの立ち上がりがかかなり高速である事に起因すると考えられる。ノイズはBPM自体やシールドケーブルのアースの取り方等でかなり落ちるが、コモンモードのノイズに起因すると思われるものがBPMの処理回路で観測されている。電源の出力端子にコモンモードを抑制するファインメントのコアを図 6 右下のように3カ所取り付けると図 6 右

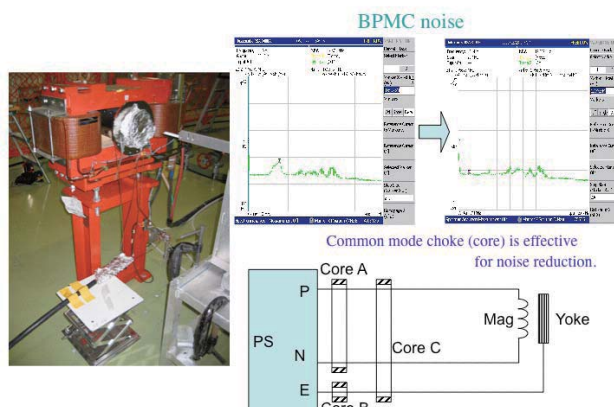


図 6 : コモンモードフィルターの効果

上のようにノイズを減らすことができた。これらのノイズは電源がONになっていれば、電流値0Aでも発生している。ノーマルモードが効くようにコアを入れてみたが効果はなかった。コアAはPN間に、コアBはアース (E) に、コアCはPNEの3本まとめて付けている。コアBを外しても僅かしか変化が無かったが、コアCは良く効いているようであった。コアCのようにPNEに付ける事ができれば良いが実際上、接地線が62台分で1本なのでPNEをまとめてコアを取り付けるのは困難である。まずはコアAのみで良いと判断して全ての電源のPN間に取り付ける検討をすることになっている。

### 4. まとめ

電源と実負荷の組み合わせ試験をおこない、  
(1) 試運転により電源の性能・制御シーケンス等の確認が出来た。また改善の検討をおこなった。  
(2) 上位制御ソフトの開発のためにEPICSデータベースのプロトタイプを製作した。(3) 実機ステアリング電磁石との組み合わせで電流、磁場のトラッキングを測定した。その結果、バイポーラ運転時でのゼロ電流をクロスする場所でトラッキングが多少悪くなるが、全体的には仕様性能である最大電流240Aに対して $10^{-3}$ 以下のトラッキング性能が得られている。ただし時間ステップを変えた運転では十分な性能が得られないので長周期運転に関する検討をする必要がある。(4) BPMにのるノイズを軽減するためにコモンモードフィルタが有効である。ただし、IGBTスイッチング素子を多用した電源の1次側の高調波や高周波ノイズがクローズアップされ、2次側への高周波ノイズの影響もより懸念されてきている。今後コモンモードフィルターの選定や高調波及び高周波フィルターの検討が急がれる。

### 参考文献

- [1] Susumu Igarashi, et al., This Proceedings.
- [2] Takeshi Toyama, et al., This Proceedings.