

RFSoc の MTCA 規格制御カードの評価状況

EVALUATION STATUS OF RFSoc MTCA CONTROL CARD

漁師雅次[#], 岩城孝志, 黒崎裕也, 濱洲竜斗, 林和孝, 張替豊旗, 平林透矢, 山浦正義, 山崎伸一
Masatsugu Ryoshi[#], Takashi Iwaki, Yuya Kurosaki, Ryuto Hamasu, Kazutaka Hayashi, Toyoki Harigae,
Touya Hirabayashi, Masayoshi Yamaura, Shinnichi Yamazaki
Mitsubishi Electric TOKKI Systems

Abstract

In accelerator control, feedback control is performed by monitoring the amplitude and phase of the high-frequency signal in the cavity in order to create a stable beam. In addition, high-frequency equipment is controlled by monitoring the traveling wave and reflected wave of the input part of the cavity. RF-SoC (Radio Frequency -System on Chip), the latest FPGA, can directly A/D (Analog to Digital) convert RF signals up to some X bands or output them by D/A (Digital to Analog) conversion. This makes it possible to eliminate the non-linear circuits of many high-frequency control devices. Using high-density mounting technology, we have developed an MTCA (Micro Telecommunication Computing Architecture) standard control card with a small board size of 73.5 mm x 180.6 mm on which RFSoc is mounted. We report the evaluation status of the secondary prototype that tried to improve the problems seen in the evaluation of the primary prototype.

1. はじめに

高周波加速空洞の電圧強度と位相を安定させるための LLRF (Low Level RF) は、クライストロンの出力や空洞の入出力の高周波信号をモニタしている。また、加速ビーム軌道を把握するために、BPM (Beam Position Monitor) システムにより、ビーム信号から取得した高周波信号をモニタしている。これらは高周波信号を A/D 変換してデジタルデータにして、FPGA 等によりデジタル処理をしている。また、処理結果を D/A 変換してアナログ信号によるフィードバック制御をする場合もある。

既存の LLRF や BPM 処理機器の一部では、L バンド以下の高周波信号を ADC によるダイレクトサンプリングをしてモニタできるまでに性能が向上してきた。さらに、数年前にリリースされた Xilinx 製の第一世代 RFSoc は、ADC・DAC・FPGA・CPU が 1 チップ化されたデバイスであり、アナログバンド幅 4 GHz の高周波信号が入出力できる。サンプリング周波数は ADC が 4.096 GSPS、DAC が 6.554 GSPS である。このデバイスを有効に使い、ADC の入力飽和をしない範囲ならば、周波数コンバータが不要だけでなく、周波数選択のために高性能で段数の多いアナログフィルタを使う必要がなくなる。但し、高調波などがナイキスト周波数で折り返してきて、処理周波数帯域内にならないように考慮しておく必要がある。

2019 年に Xilinx 製の RFSoc の評価ボード ZCU111 を使った 19 インチラックマウント可能な試作ユニットで性能評価を行った[1]。SNR およびクロストークならびに振幅・位相安定度の評価の結果から、信号処理方法を工夫して、加速器制御に利用できる可能性が示唆された。

2020 年に加速器制御の標準プラットフォームとして知られる MTCA 規格 single-width に準拠した 1 次試作を開発した[2]。RFSoc 搭載の小型カードにより機器の小型も実現でき、加速器本体の近傍への設置でき接続ケーブルを極力短くできる可能性が考えられる。

今回、この試作カードの周波数特性・SFDR・クロストークなど基本的な性能評価をした。その結果から課題を抽出して、プリント基板を改版した 2 次試作で改善状況を考察した。

2. MTCA 規格シングル幅の試作カード評価

加速器制御用のプラットフォームで使われている MTCA は、MCH を中心とし、高速シリアル通信が各 AMC (Advanced Mezzanine Card) 間のできるデュアルスター配線を持っている。Gigabit Ethernet や PCI Express など一般的なコンピュータで使われている通信規格をサポートしているため、従来のハードウェア・ソフトウェア設計資産を活かせる。その為、FPGA や CPU を使ったデジタル信号処理をするためのプラットフォームとしては使い勝手がよい。

2020 年に Fig. 1 の写真のような、第一世代の RFSoc (ZU27DR, 40 mm × 40 mm) を実装した MTCA 規格シングル幅フルサイズ (181.5 mm × 73.8 mm) の AMC を試作して性能評価した。機能一覧を Table 1 に、機能ブロック図を Fig. 2 に示した。多極同軸コネクタから高周波信号を ADC へ入力でき、子基板のコネクタから DAC で生成した高周波信号出力ができる。ADC・DAC のサンプリングクロックは、前面およびカードエッジコネクタから入力される参照信号や基板上の発振器などを基準として生成できる。カードエッジコネクタには、1000Base-X や PCIe の高速シリアル信号および MLVDS のバス接続がある。RFSoc の PS (Processing System) 部の CPU のワークメモリとして DDR4-SDRAM が実装されている。RFSoc のコンフィグレーションデータは、SD カードに保存されており、Linux のカーネル・ファイルシステムおよび EPICS IOC などアプリケーションソフトに必要なファイルも保存されている。SD カードは、Linux にマウントされているので、起動後は Ethernet 経由で保存ファイルの更新も可能となる。

今回は、この試作カードを使ってサンプリングクロック

[#] ma-ryoshi@west.melos.co.jp

4.096 GSPS として、第一ナイキスト周波数の性能(周波数特性、クロストークなど)を確認した。

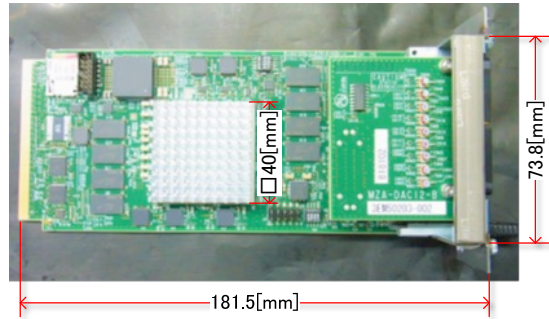


Figure 1: Photo of prototype card.

Table 1: Specifications of Prototype Card

FPGA	XCZU27DR-1FFVG1517I
RF-ADC	8ch, 12bit, 4.096GSPS max., BW 4GHz
RF-DAC	8ch, 14bit, 6.556GSPS max., BW 4GHz
Programmable Logic	Logic Cell: 930K BRAM: 38.0Mb Ultra-RAM: 22.5Mb DSP Slices: 4272 GTY Transceivers: 16
Processing System	Quad-core Arm Cortex-A53 Dual-core Arm Cortex-R5F
OS/Software	Ubuntu Linux 16.04 EPICS Base 3.14.12.3, Sequencer, Autosave
RAM	DDR4-3200 4GiBx2 (PL, PS)
FPGA Configuration	Micro-SD Card, Remote Update
Zone1 (AMC Connector)	Port [0:1]: 1000BASE-BX, Port [2:3]: Storage (SATA, SAS) Port [4:11]: PCI Express Gen3 Port [12:15]: P2P (High speed serial) Port [17:20]: M-LVDS (Bus connect) FCLKA (for PCIe Clock, 100MHz) TCLKA~D (~50MHz) IPMB: IPMI v1.5 support
Interface	Trigger IN/Clock IN Trigger OUT/Clock OUT
Switch	8bit DIP-switch
Front Panel LED	Blue: Hot swap status Red: Error status Green: Running status
Size	PCIMG MTCA.0 Single-Width Full Size 73.8*28.95*181.5 mm

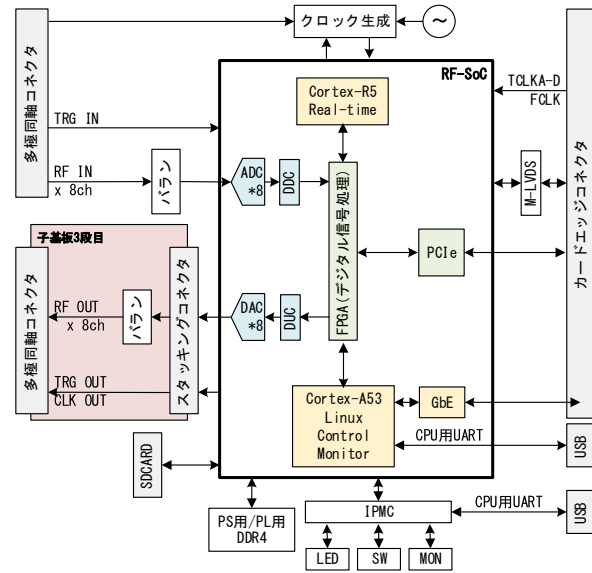


Figure 2: Functional block diagram of prototype card.

2.1 周波数特性の評価

サンプリングクロックを 4.096[GSPS]に設定して、信号発生器から CW 信号を出力して 8 分配器を介して 8 チャンネル同時にカードへ入力した。RFSoc 内の ADC の出力を PL (Programmable Logic) 内部バッファに 8192 サンプル収集できるようにした。RFSoc 内の PS の Cortex-A53 に組み込んだ Linux 上で動作する Python で FFT 演算して、ピーク値をプロットした。測定時の構成を Fig. 3 に示す。

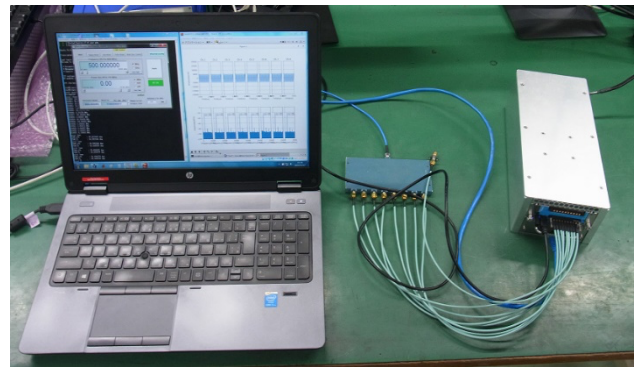


Figure 3: Photo of measurement configuration.

改版前に測定した結果では、入力チャンネルごとに周波数特性が異なった。

多極同軸コネクタから入力された高周波信号バランで差動信号に変換して RFSoc までプリント基板上を差動信号で伝送する構成で、受動部品のみ回路である。しかし、本カードでは、RFSoc や DDR4-SDRAM や POL (Point Of Load) など BGA (Ball Grid Array) パッケージの部品を多用して、また電源の種類が多い。高密度に実装するため 16 層の多層基板を使い配線経路を確保している。デジタル回路領域とアナログ回路領域も同じ層数なので、層間距離が近いと高周波回路の 50 Ω のパ

ターンが細くなっていた。DC カットやインピーダンス整合用のコンデンサや抵抗などのチップ部品をパターン上に実装している。パターン上に 1005 サイズ (10 mm × 5 mm) のチップ部品を使った場合、信号ライン幅よりも部品幅が大きくなり、その部分で配線インピーダンスが大きく変わるため信号の反射が発生し、周波数特性が悪くなってしまふ。そこで、改版の際に高周波信号領域の層構成などを最適化してパターン幅を少し広くし、チップ部品サイズも変更して伝送路幅の変動を極力なくした。改版後の測定結果を Fig. 4 に示した。周波数によるレベルの変動およびチャンネル間のレベル違いがなく、改善された。

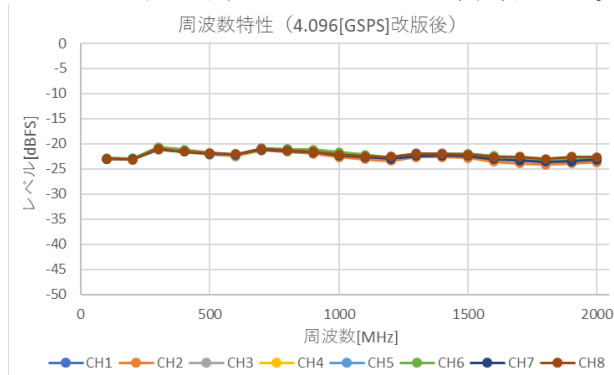


Figure 4: Output level vs frequency. (Second edition)

2.2 SFDR の評価

試作カードの ADC サンプルングクロックを 4.096 GSPS に設定した。500 MHz の CW 信号を入力して FFT 結果より、高調波を除く不要波を対象とした SFDR (Spurious-Free Dynamic Range) を計算した。当初は 50dB 程度しか取れていなかった。この時、RFSoc 内の PLL で ADC のサンプルングクロックを生成するために参照信号の周波数を 245.76 MHz として RFSoc に入力していた。スプリアスの原因を調べるために、外部入力の周波数を変更して参照信号の周波数を 256 MHz に変えたところ、スプリアスが現れる周波数が変わった。

この時のスプリアスが現れる周波数からキャリブレーションが正常にできていないと疑った。RFSoc 内の RF-ADC は、8 素子からなるタイムインターリーブの ADC であり、8 素子それぞれの振幅およびオフセットの特性差をキャリブレーションする必要がある。これらは、起動時に自動で行うもしくは、手動指示で実行できる。このキャリブレーションが正常にできておらず 8 素子の特性差が残るため、発生するスプリアスと考えられた。

キャリブレーションが正常にできないときの要因として、クロックに同期した信号が入力に入った時があげられる。本カードのクロック系統を Fig. 5 に示す。クロック生成分配 IC の CLK3~CLK6 の 4 系統は RFSoc 内の ADC 用のリファレンスクロックで、CLK7,8 の 2 系統は RFSoc 内の DAC 用のリファレンスクロックである。調査のために、ADC の動作には不要な DAC 側のリファレンス信号を、クロック生成分配 IC の設定を変更して出力停止させて動作させた。その結果、高調波を除くスプリアスは、ほぼなくなった。

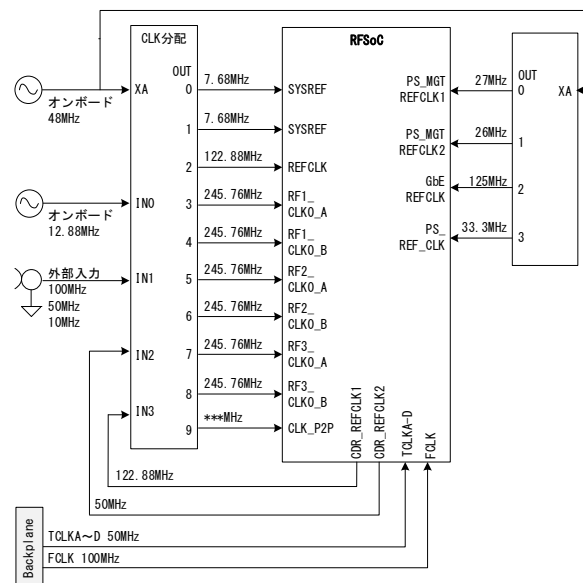


Figure 5: Clock generate block diagram.

DAC 側のリファレンス信号と ADC の入力信号についてプリント基板のパターン配線を再確認した。RFSoc のパッケージ下部の ADC 入力のスルーホール列のすぐ横を DAC 用のリファレンスクロックのパターンが通っていた。スルーホールとパターンが直交しているため、影響は小さいと考えていたが、上の結果からすると少なからずとも漏れこみによる影響が出ていると考えられた。改版時にアイソレーションを稼ぐようにレイアウトを見直した。

改版後の試作カードで CH3 に 500 MHz の CW 信号を入力した時の FFT 結果のスペクトラムを Fig. 6 に示した。この測定では、SG 出力の高調波を抑制するために BPF を介して測定した。左図は改版前で、右図は改版後である。改版前は高調波以外のスプリアスもあり SFDR が 63.8 dB である。改版後は 73.3 dB と約 10 dB の改善が見られた。

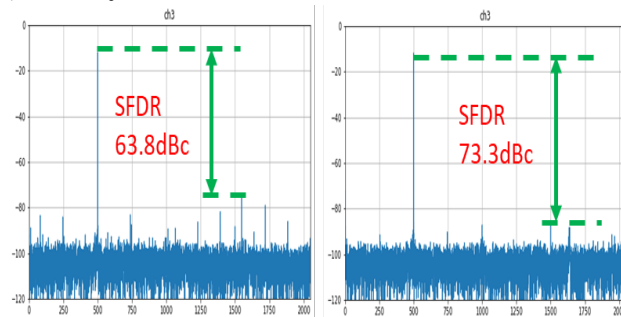


Figure 6: SFDR performance vs. PWB revision. (Left: first edition, Right: second edition)

2.3 クロストークの評価

サンプルングクロック 4.096 GSPS に設定して CH3 に 500 MHz を入力した際のクロストークを測定した。結果を Fig. 7 上図に示した。最もクロストークが大きかったのは CH2 であり、改版前で -48.7 dB とあまりよくなかった。

原因を調査するために、部品を実装していないプリント

基板とネットワークアナライザ等を使って原因を探った。多極同軸コネクタからの入力部の高周波信号パターンのリターンパスが長くなっており不要波が放射され、隣接する入力のパターンに漏れこんでいると考えられた。そこで、プリント基板を改造して測定したところ改善の傾向が示された。その為、改版時にリターンパスが最短になるようにして、不要な放射を抑圧するように改善を試みた。その結果 Fig. 7 下図のように CH3 に入力時の CH2 のクロストークは -60.5 dB まで 11.8 dB 改善した。

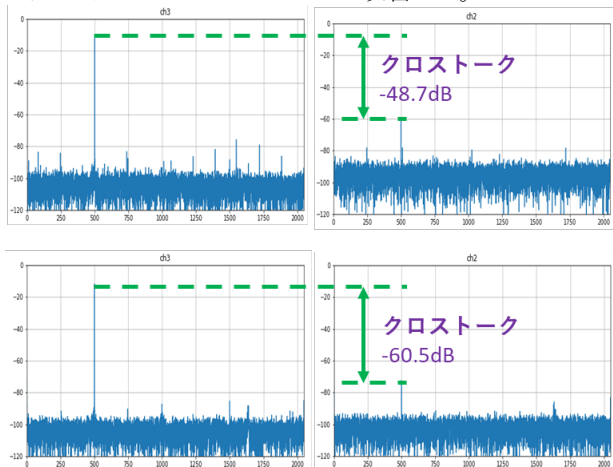


Figure 7: Crosstalk performance vs. PWB revision. (upper: first edition, lower: second edition)

2.4 シェルフ内のカードの周波数同期動作

MTCA のシェルフに実装されている PCIe Switch を搭載している MCH は、PCIe 用の 100 MHz のクロック (FCLK) を全 AMC へ出力している。この FCLK からサンプリングクロック 4.096 GSPS を生成して MTCA シェルフに実装した 2 枚の ADC に周波数 500 MHz の CW 信号を 2 分配して入力した。この時に RFSoc 内でデジタルダウンコンバートして、その IQ 信号から位相を求めた。結果、2 枚のカード間の位相差の時間変動がないので、サンプリングクロックの周波数が同期していると確認できた。Figure 8 に測定構成と結果を示す。

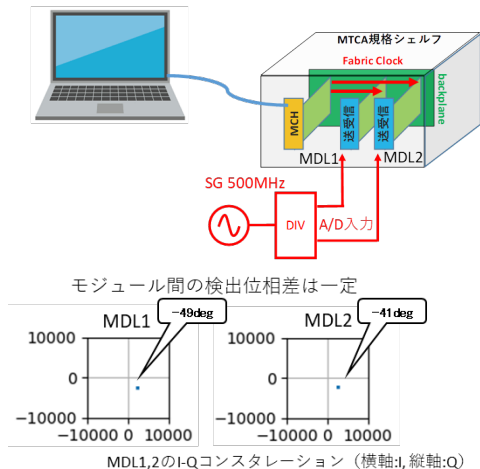


Figure 8: Inter-module sampling clock synchronization.

2.5 PCIe Gen3 のアイパターン

8 lanes の PCIe が接続できるバックプレーンを内蔵している MTCA シェルフに、PCIe Switch を搭載している MCH と試作カードを実装して伝送性能の評価をした。PCIe Gen3 x8 のリンク確立中のアイパターンを Xilinx の開発ツール IBERT (Integrated Bit Error Ratio Tester) にて測定した。結果を Fig. 9 に示す。8 lanes のリンク時に 27.9 % 程度のマージンがあった。実際 PCIe による CPU とのデータ伝送確認においても良好な結果を得た。

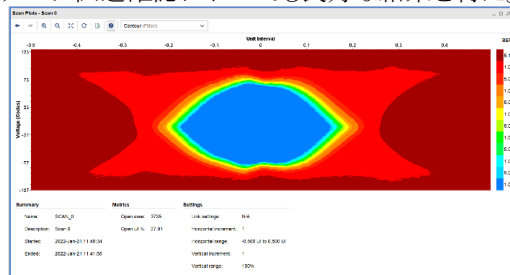


Figure 9: PCIe Gen3 IBERT eye-pattern.

3. 今後の展望

Figure 10 のような RF 信号のレコーダを開発中である。RFSoc カードの PCIeGen3 を使い RAID 構成された SSD に ADC でサンプリングした高周波信号を 500 MHz という広帯域で連続的に収集するレコーダである。

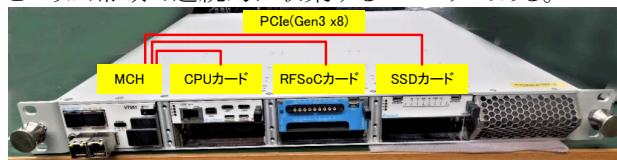


Figure 10: RF Signal recorder.

また、本試作カードを評価する際に、Fig. 11 のような AMC を内蔵できる小型モジュールを開発した。背面から DC 電源を入力して、前面の RJ-45 コネクタに Ethernet を接続すれば RFSoc 内の CPU と通信でき ADC・DAC を制御・データ入出力ができる。AMC 単体で使用用途では、容易に様々な場所で使えると考えている。

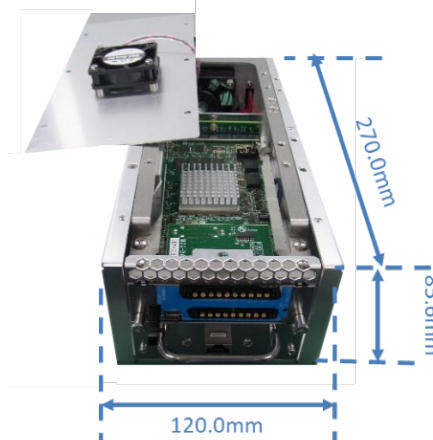


Figure 11: Photo of small power supply module.

また、他の計測用モジュールと組合せて使える RFSoc

を搭載した PXI モジュールの開発も進めている。

第三世代の RFSoc については、Xilinx 製の評価ボードの ZCU216 を使って性能評価をはじめている。6[GHz] まで入出力できるため、C バンドの一部までの加速器の高周波信号のモニタに使える。また、最大 5[GSPS] のサンプリングレートであり、S バンドの一部まではオーバーサンプリングができる。このデバイスを使ったモジュールの開発も進めている。

4. まとめ

第一世代の RFSoc を実装した MTCA.0 シングル幅フルサイズの AMC を開発して、性能を評価し改善した。その中で、小型モジュールにおける実装時の課題は概ね解決できたと考えられる。但し、広帯域サンプリングであるため、適用時には対象信号の特徴とサンプリング周波数を考慮して、場合によっては、外部に周波数選択回路が必要であると考えられる。

今後 LLRF や BPM などの信号処理を実装して、実システムに適用できるかの評価を進めるとともに、記録装置などのその他の用途への展開を進めていく。

参考文献

- [1] M. Ryoshi *et al.*, “Application study of MP-RFSoc to accelerator control” Proceedings of the 17th Annual Meeting of Particle Accelerator Society of Japan, Online, Sep. 2020, pp. 555-559.
- [2] M. Ryoshi *et al.*, “Implementation to RFSoc MTCA control card” Proceedings of the 18th Annual Meeting of Particle Accelerator Society of Japan, Online, Aug. 2021, pp. 929-932.