

J-PARC 次世代タイミングシステム NEXT GENERATION TIMING SYSTEM FOR J-PARC

田村文彦^{*A)}、高橋博樹^{A)}、上窪田紀彦^{A)}、伊藤雄一^{A)}、林直樹^{A)}
 Fumihiko Tamura^{*A)}, Hiroki Takahashi^{A)}, Norihiko Kamikubota^{A)}, Yuichi Ito^{A)}, Naoki Hayashi^{A)}
^{A)}J-PARC Center, JAEA & KEK

Abstract

Precise timing pulses from the timing system are necessary for acceleration of high intensity proton beams in the J-PARC accelerators. The existing timing system was developed during the construction period of the J-PARC. The system has been working well for more than ten years, however, the optical modules for the signal transfer from the central control building to the accelerators are discontinued already. Although we have spares of the optical devices, maintenance of the system will be difficult. Therefore, we are developing the next generation timing system for the J-PARC. We present the design of the system, preliminary test results, and future plans.

1. はじめに

J-PARC のタイミングシステムは中央制御棟より配信される 25Hz 基準トリガーからのディレイとして定義されるスケジュールドタイミングと、加速器機器間での信号のやりとりによるシンクロナイゼーションタイミングに大別される。J-PARC のタイミングシステムは建設期に開発が行われ、2006 年の linac のビーム調整開始時よりその運転を開始した。現在に至るまでタイミングシステムは大きなトラブルなく運用されており、タイミングシステムから供給される正確なタイミング信号は、大強度陽子ビームの加速、供給に不可欠なものとなっている。

一方、運用開始から 10 年以上が経過しており、スケジュールドタイミングで使用されている光素子は既に生産中止となっている。予備の E/O、O/E モジュールは確保されているものの、現状のままでのタイミングシステムの長期にわたる維持は困難となっている。このため、次世代のスケジュールドタイミングシステムを開発している。本稿では、次世代タイミングシステムの概要、設計、試験結果、今後の予定について報告する。

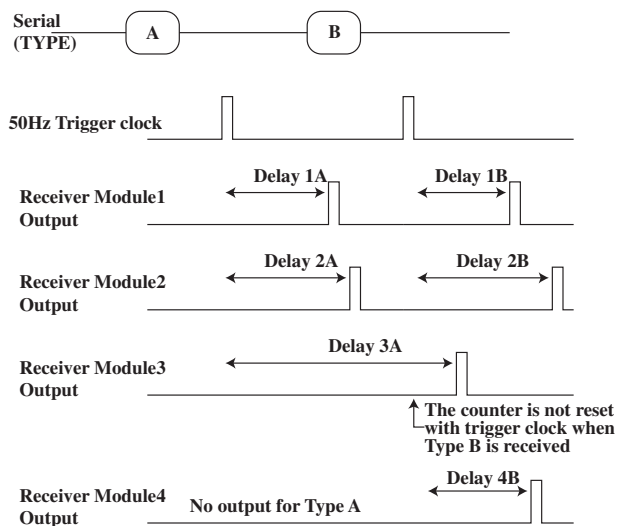
2. スケジュールドタイミングシステム

スケジュールドタイミングは、J-PARC 加速器サイクル中であらかじめ設定されたタイミングでトリガーおよびゲートを出力するものである [1]。スケジュールドタイミングは中央制御棟から送信される 25 Hz 基準トリガーからのディレイとして定義される。25 Hz は linac および RCS の繰り返し周波数である。

Figure 1 にスケジュールドタイミングの動作原理を图示した。基準トリガーより前に、「タイプ」と呼ばれる制御ワードを送信する。タイプは次の基準トリガー後の加速器の運転の種類を表している。各施設の受信モジュールは、このタイプをアドレスとしたルックアップテーブル (LUT) の内容に基づき、次の基準トリガー後の動作を以下のように決定する。

1. 設定されたディレイでパルスを出力する

* fumihiko.tamura@j-parc.jp



The delay value and control (no output etc.) are stored in LUT on the board

Figure 1: Operating principle of the scheduled timing.

2. 次の周期ではパルスを出力しない
3. 基準トリガーを受信してもディレイカウンタをリセットせずに、基準トリガーを越えて数え続ける

の 3 種類の動作が定義されている。

1 つのタイプ列は MR の 1 周期に対応する。タイプ列の長さは、MR が速い取り出しで 2.48 秒周期の場合および遅い取り出しで 5.2 秒周期の場合についてそれぞれ 62 および 130 となる。タイプ列により、MR サイクル中での各加速器の動作 (行き先、ビーム加速の有無など) を定義することができる。

中央制御棟におけるタイミング送信設備の構成を Fig. 2 に示す。高精度シンセサイザおよびクロックジェネレータにより、12 MHz のマスタークロックが生成され、マスタークロックのカウントにより 25 Hz の基準トリガーが生成される。タイミング送信モジュールより、25 Hz でタイプがシリアル通信により送信される。J-PARC の各施設へのこれら 3 種の信号の分配のために、

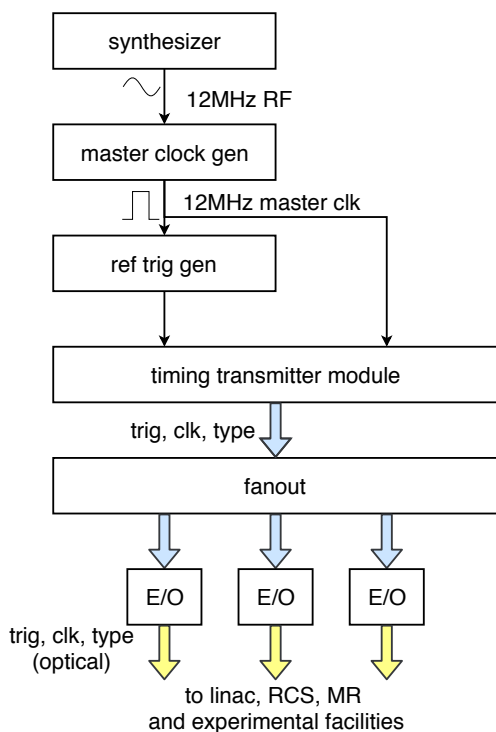


Figure 2: Signal flow of the timing transmitter station in the central control building.

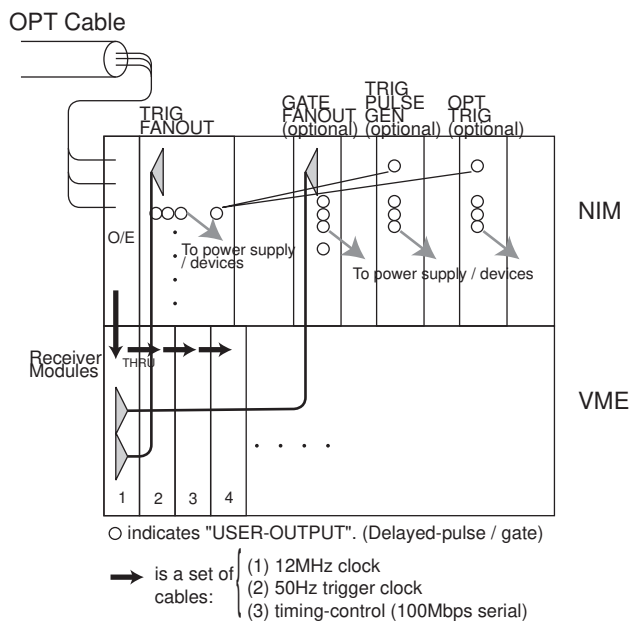


Figure 3: Signal flow of the timing receiver station.

ファンナウトと E/O モジュールが設置されている。各施設への信号の配信はスター状の構成となっており、全ての施設で同じ信号を受信する。必要に応じて、O/E、ファンナウト、E/O の組み合わせにより各施設での信号の再分配が可能である。

送信されるタイプは 32 ビットであり、先頭ビットは特別な情報を表わすビットとなっている。Linac、RCS、

MR にはそれぞれ 8 ビットが割り当てられており、残り 7 ビットは予備である。

各施設の受信側設備の概要を Fig. 3 に示す。光信号として配信されるマスタークロック、基準トリガー、タイプは O/E モジュールにより電気信号に変換され、受信モジュールに入力される。受信モジュールは 32 ビットのタイプから指定の 8 ビットを取り出して LUT からディレイワードを取り出す。12 MHz のクロックから PLL により 96 MHz クロックを生成し、ディレイカウンタのクロックとして使用する。LUT から読み出されたディレイワードにより、前述の 3 種の動作を行う。ディレイ値は 24 ビット幅であり、約 174 ms までカウントすることが可能である。受信モジュールからの出力は LVDS レベルの信号となっており、後段の NIM モジュールによって加速器機器が必要とする電圧レベルの信号や光信号に変換される。

送信モジュールおよび受信モジュールは VME モジュールとして構成されている。Linac および RCS では、リフレクティブメモリネットワークが構成されていて、ビームタグ情報の共有や LUT の高速書き換えが行われている。

3. 次世代タイミングシステム

スケジュールドタイミングシステムは、運用開始から現在まで大きなトラブルを生じることなく安定に動作してきた。しかし、E/O および O/E モジュールに使用されている光素子 (Finisar v23826) は既に生産中止となっており、後継となる光素子も存在しない。幸い予備のモジュールを一定の台数保有しているため、すぐに運用に問題が出ることはないが、長期にわたる現システムの維持は困難な状況となった。このため、次世代スケジュールドタイミングシステムを開発することとなった。

タイミングシステムの全てのモジュールを一度に置き換えることは不可能であるため、次世代システムの動作原理は前節で説明した既存システムのものに踏襲することとした。

Figure 4 上図に既存システムの構成を示す。既存システムで、送信モジュールから 12 MHz クロック、基準トリガー、タイプの 3 種類の信号を 3 本の電気および光ケーブルで各施設に配信している。各タイミング受信装置ごとに 3 本の光ケーブルが必要となること、既存システムにおいてインフラ上の負担となっていた。また、受信モジュール付近で一度電気信号に変換したのちに受信モジュールに入力されることは、特にノイズ環境が厳しい MR においては誤作動の原因となっていた。

Figure 4 の下図に次世代システムの構成を示す。図中、黄色で示したものが新規開発要素である。次世代システムの新送信モジュールは、高速シリアル通信により 3 種類の信号を 1 本の光ケーブルにまとめて送信することとした。また、新送信モジュールは既存システムと同一の 3 種類の電気信号も出力するように設計した。既存システムと同じ信号を出力することで、既存のタイミングシステムの信号配信系、受信設備をそのまま使用することが可能となり、既存システムと共存しながら順次次世代システムへの移行を進めることができる。新規開発したモジュール群の写真を Fig. 5 に示す。

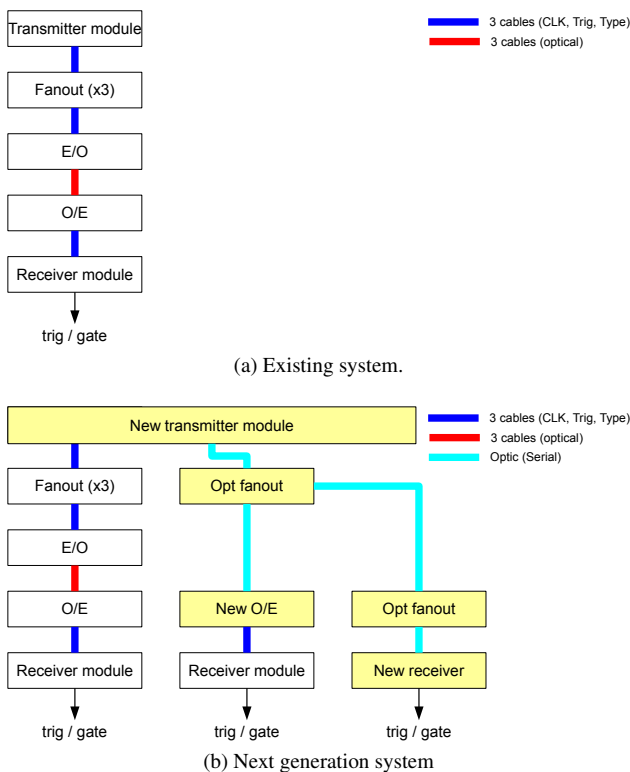


Figure 4: Comparison of the system configuration. The blue and red line represent the set of three electrical and optical cables, respectively. The light blue line represents a single optical cable.

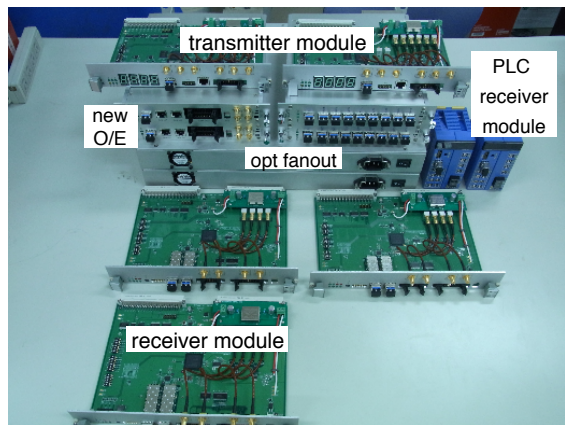


Figure 5: Next generation timing system modules.

シリアル通信に用いる光素子には、現在広く用いられている SFP (small form factor pluggable) 光トランシーバを採用している。新送信モジュールからの光信号は、新規に製作した光ファンアウトを経て各受信設備に分配され、新受信モジュールに光信号のまま入力される。光信号のまま新受信モジュールに入力することで、ノイズでの誤動作が減ることが期待されている。

新受信モジュールは受信したシリアル信号から 12 MHz クロック、基準トリガー、タイプを復号、抽出する。3 種の信号を復号した後の動作は既存の受信モ

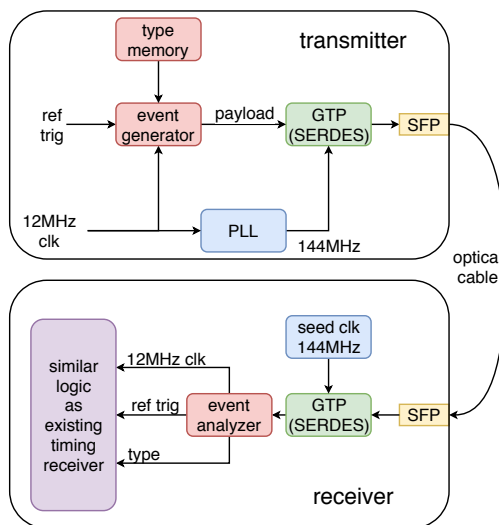


Figure 6: Configuration of the high speed serial communication.

Table 1: Protocol of the Serial Communication

	1	2	3	4	5	6
seq	K28.5	E	D(p1)	D(p2)	D(p3)	D(p4)
	7	8	9	10	11	12
	D(p5)	D(p6)	D(p7)	D(p8)	D(p9)	D(p10)

ジュールと同一である。受信モジュールとしては、既存同様の VME モジュールに加え PLC 型も製作した。PLC 型は NIM モジュールを必要とせず電源で必要な電圧レベルでトリガー、ゲートを出力できるように製作した。制御機器配置に制約の多い MR で多用される予定である。

また、光信号を受信し、復号した 3 種の信号を既存システムと同様の電気信号として出力する新 O/E モジュールも製作した。新 O/E モジュールは既存受信モジュールの入力として使用される他、タイプ、ビームタグ等の情報をパラレル出力する機能を持ち、これら情報を測定データの整理に活用することができる [2]。

4. 高速シリアル通信

次世代タイミングシステムにおける高速シリアル通信の構成を Fig. 6 に示す。新送信モジュールでは 12 MHz クロック毎に高速シリアル通信のペイロードである「イベント」を生成する。ザイリンクス FPGA の高速通信トランシーバである GTP を用いて、生成したイベントを SERDES でシリアル化して送信する。J-PARC 次世代タイミングシステムは、MRF 社 [3] のタイミングシステムに代表されるイベントタイミングシステムの一つであると言える。

シリアル通信のプロトコルを Table 1 に示す。先頭の 8B/10B 変換におけるカンマキャラクタ (K28.5) の直後にイベント種類を示すデータ (E) が続く。3 番目から 12 番目までは必要に応じて合計 80 ビットのデータを格納することができる。8 ビットが 12 個連続し、8B/10B 変換があるため、データ転送レートは 1.44 Gbps となる。GTP が必要とする 144 MHz クロックは 12 MHz マス

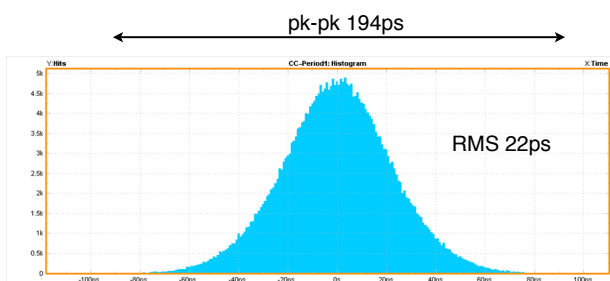


Figure 7: Jitter measurement of the 12 MHz clock by Tektronics DPOJET.

タークックを用い、高精度 PLL によって生成される。アイドル時には null event ($E=0$) が送信されており、送信モジュールに基準トリガーが入力されると trigger event ($E=1$) を送信する。trigger event から指定の遅延で、次の基準トリガー後のタイプを示す type event ($E=2$) が送信される。Type event では、D(p1) から D(p4) までに 32 ビットのタイプが含まれることとなる。その他、MR サイクルの始まりを示す S event ($E=3$)、基準トリガーのカウンタ値 (32 ビット) を含む trigger count event ($E=5$) などが定義されている。イベントは 8 ビットあるので、将来の拡張のためのイベント定義の余裕は十分確保されている。

シリアル化されたデータは、SFP で光変換され、新受信モジュールに配信される。新受信モジュールではクロック・データ・リカバリ (CDR) により 144 MHz クロックおよびデータが復号される。復号された 144 MHz クロックは送信側のクロックに同期している。受信データはイベントアナライザによって解析される。イベントアナライザ内のカンマ検出器によりカンマを抽出し、12 MHz クロックとして出力する。Trigger event では基準トリガーを、type event ではタイプを復号し、後段のロジックに供給する。その他のイベントの復号も行われる。後段のロジックは基本的に既存受信モジュールと同等のものとなっており、同様の動作を行う。

このように、次世代タイミングシステムにおいては高速シリアル通信により 3 種類の信号を集約し 1 本のケーブルで送信することが可能となった。実装にあたって問題となったことは、GTP トランシーバでは、電源投入毎に信号の遅延が異なることである。遅延の変化量は SERDES に入力されるクロックの 1 周期であり、144 MHz クロックに対しては約 7 ns となる。これは、スケジュールドタイミングシステムとしては許容できる量ではない。固定遅延を実現するためには、文献 [4] に記述されている手法を適用する必要がある。具体的には、カンマ検出を FPGA fabric 側に実装し位相差を調整するロジックを組み込み、調整できない位相差であった場合には GTP をリセットして再度位相検出を行う手法である。ひとたびシリアル通信が確立すると、その後位相がずれることはない。

5. 試験結果

次世代タイミングシステムはインストールに向けて各種の試験が行われている。特に重要な試験は、復号され

た 12 MHz クロックのジッター測定である。新受信モジュールで復号される 12 MHz クロックは、ディレイカウンタの動作クロック 96 MHz の基準となるだけでなく、RCS および MR の LLRF 制御システムの動作クロックの基準にも使用されるため、12 MHz クロックはできるかぎり低ジッターであることが必要である。

新受信モジュールで復号された 12 MHz クロックのジッターをテクトロニクス社のオシロスコープに搭載される DPOJET で測定した結果を Fig. 7 に示す。Cc-period は、pk-pk で 194 ps、RMS で 22 ps であった。これは FPGA の I/O の通常の使用でのジッター性能にほぼ等しく J-PARC における要求を十分に満たすものである。基準トリガーやディレイドパルス出力のジッターは周期が長いために DPOJET で測定することはできないが、同程度のジッターであった。

6. まとめと今後の予定

J-PARC スケジュールドタイミングシステムは、10 年以上の長期にわたり大きなトラブルなく、安定な大強度ビーム加速を支えてきた。しかしながら、使用している光素子の廃盤により、今後の長期間の維持は困難であることが予想される。このため、高速シリアル通信技術を基盤とした次世代タイミングシステムを開発中である。

次世代システムは既存システムと共存が可能ないように設計されている。高速シリアル通信により、必要な信号線の本数を既存システムの 3 本から 1 本に集約することが可能となり、受信設備の新設の際のインフラ上の負担を軽減することができた。また、新受信モジュールに直接光信号を入力することで、ノイズ環境下での動作改善が期待されている。

使用している 8B/10B 変換を核とした高速シリアル通信技術は広く用いられている技術であり、今後の FPGA や光素子の廃盤による部品変更があっても、同様の実装が実現できると考えている。

2019 年度の夏期メンテナンス中に新送信モジュールを中央制御棟にインストールし、順次受信側の設備を新受信モジュールに入れ替えていく予定である。

参考文献

- [1] F. Tamura, H. Yoshikawa, J. Chiba, M. Yoshii, M. Tanaka, and S. Shimazaki, "J-PARC Timing System", in Proc. 9th Int. Conf. on Accelerator and Large Experimental Control Systems (ICALPECS'03), Gyeongju, Korea, Oct. 2003, paper TU115, pp. 247-249.
- [2] H. Takahashi, N. Hayashi, and M. Sugimoto, "Synchronized Data Distribution and Acquisition System Using Reflective Memory for J-PARC 3GeV RCS", in Proc. 11th European Particle Accelerator Conf. (EPAC'08), Genoa, Italy, Jun. 2008, paper TUPP013, pp. 1553-1555.
- [3] Micro-Research Finland;
<http://www.mrf.fi>
- [4] R. Giordano and A. Aloisio, "Fixed-Latency, Multi-Gigabit Serial Links With Xilinx FPGAs", IEEE Tran. Nucl. Sci., vol. 58, no. 1, pp. 194-201, Feb. 2011.