

PROTOTYPE PERFORMANCE OF DIGITAL LLRF CONTROL SYSTEM FOR SUPERKEKB

Tetsuya Kobayashi^{#A)}, Kazunori Akai^{A)}, Hisakuni Deguchi^{B)}, Kiyokazu Ebihara^{A)}, Kazutaka Harumatsu^{B)}, Kazutaka Hayashi^{B)}, Atsushi Kabe^{A)}, Masatsugu Ryoshi^{B)}, Kota Nakanishi^{A)}, Jun-ichi Nishio^{B)}, Michiru Nishiwaki^{A)}, Jun-ichi Odagiri^{A)}

^{A)} High Energy Accelerator Research Organization (KEK)
1-1 Oho, Tsukuba, Ibaraki, 305-0801

^{B)} Mitsubishi Electric TOKKI System Corporation
8-1-1 Tsukaguchi-honmachi, Amagasaki, Hyogo, 661-0001

Abstract

For the SuperKEKB project, a new LLRF control system has been developed to realize high accuracy and flexibility. It is an FPGA-based digital RF feedback control system using 16-bit ADC's, which works on the μ TCA platform. In this μ TCA-module, the Linux-OS runs then it performs as the EPICS-IOC. This LLRF system is available to both of normal-conducting cavity and super-conducting cavity.

A prototype of the LLRF control system for the SuperKEKB was produced. Its basic performance of the RF control was evaluated by using a simulant cavity. The evaluation results and future issue for the operation will be presented in this report. The amplitude and phase stability in the feedback control is 0.03% and 0.02 degrees, respectively. It is sufficiently stable for the SuperKEKB.

SuperKEKB 用デジタル LLRF 制御システム試作機の性能評価

1. はじめに

SuperKEKB は、これまで世界最高に達した KEKB 加速器のルミノシティを更に 40 倍にしようというプロジェクトである^[1]。この高いルミノシティを実現するため、衝突点におけるナノ・ビーム方式を採用し、更なる低エミッタンスビームが要求される。また蓄積ビーム電流も KEKB から約 2 倍となる。このような大強度かつ高品質ビームを加速し、ビーム不安定性を避けるためには、高周波（加速電場）制御の性能が非常に重要となる。

しかしながら、これまでの KEKB 加速器ではアナログモジュールの組み合わせで高周波制御を行ってきた。そこで SuperKEKB 加速器では、新たに高精度かつ、よりフレキシブルな制御を可能にするデジタル低電力高周波（Low Level RF: LLRF）制御システムの開発を行ってきた。その LLRF 制御システムのプロタイプ 1 式が完成したので、本稿では、その特性評価を行った結果について報告する。また、実用運転に向けての課題について検討する。

SuperKEKB の加速周波数は 508.9MHz で CW 運転である。その加速電界の安定性として、振幅、位相それぞれ約 $\pm 1\%$ 、 ± 1 度の変動を許容としているが、本システムでは、大電流化に備え、それぞれ $\pm 0.3\%$ 、 ± 0.3 度程度（温度特性を含めた peak-to-peak）を最終的な目標としたい。

KEKB 加速器では、RF の安定性のみならず、ビームに対するチューナー制御（空洞の同調、離調制御）も重要なポイントである。特に本加速器の常伝導加速空洞では ARES^[2]と呼ばれる特殊な空洞が使用され、貯蔵空洞と加速空洞が結合空洞を介して

互いに接続されているため、その 2 空洞のチューニング制御を同時に行う必要がある。また、常伝導空洞（ARES 空洞）と超伝導空洞の両方が使われるため、本 LLRF 制御システムは、共通のハードウェア構成で、その両者に対応できるようにしている。全体として ARES 空洞 6 式、超伝導空洞 8 式となる^[3]。

更には、陽電子ダンピングリング（DR）^[4]用の LLRF 制御システムも同様に必要であり、今後の開発予定となっている。DR は陽電子のエミッタンスを小さくするために、入射リニアックの途中に挿入されるリングで、メインリングと同じ RF 周波数の加速空洞が 3 台置かれる。クライストロンは 1 台で、

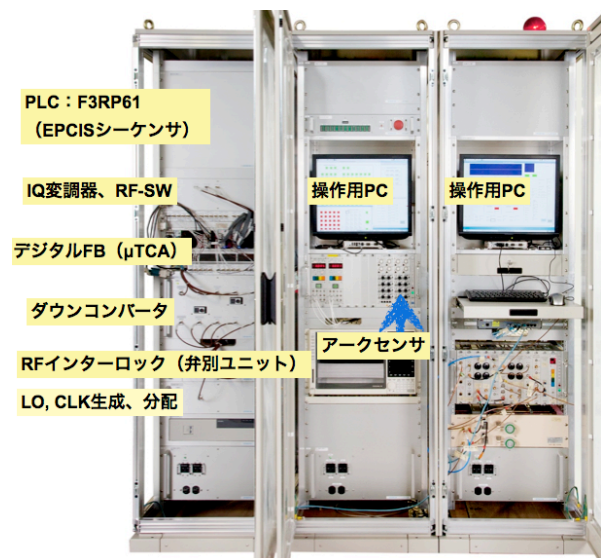


図 1 : SuperKEKB 用 LLRF 制御システム

その LLRF 制御は 3 空洞のベクターサムで FB 制御を行うことになる。

2. LLRF 制御システム

図 1 に本 LLRF 制御システム (試作機) の写真を示す。19"ラック 3 面で構成されており、主要コンポーネントは左 1 面に収納されている。

RF 制御のメインとなるデジタルフィードバック (FB) 制御は μ TCA 規格をプラットフォームとし、FPGA (Field-Programmable Gate Array) モジュールで実現される^[5]。図 2 に示すように、 μ TCA には 3 枚の FPGA ユニットがあり、それぞれ、FB 制御、チューナー制御、RF 信号レベルモニター (VSWR インターロック) を行う。それぞれの FPGA モジュールには CPU があり、LinuxOS が走る。そこに EPICS が組み込まれ IOC として機能する^[6]。空洞ピックアップ、反射などの各種 RF 信号は、図 3 に示すように、519.5MHz の LO 信号によりダウンコンバートされた 10.6MHz 中間周波数 (IF 信号) が各 FPGA モジュールに入力され 16bit-ADC で AD 変換される。

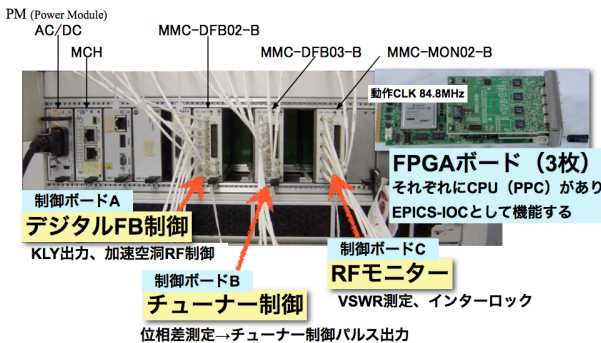


図 2 : デジタル制御ユニット (μ TCA 規格)

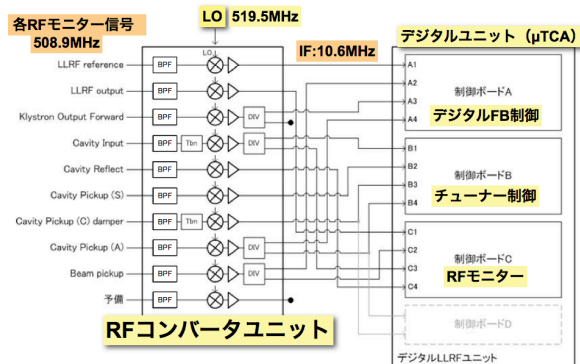


図 3 : 各モニター信号をダウンコンバート

デジタル FB 制御 (図 3 の制御ボード A) は、図 4 に示すように、IF 信号をその 4 倍の周波数でサンプルすることで直接 I,Q 成分を得る。その I,Q 成分に対し PI 制御を行い、その結果を DAC (16bit) から出力し I/Q 変調器で RF 出力信号を制御する。これは現在の加速器の世界において最も標準的な方式である。ただし、通常 IF の 4 倍とするクロック周波数を本システムでは IF の 8 倍とした。その理由

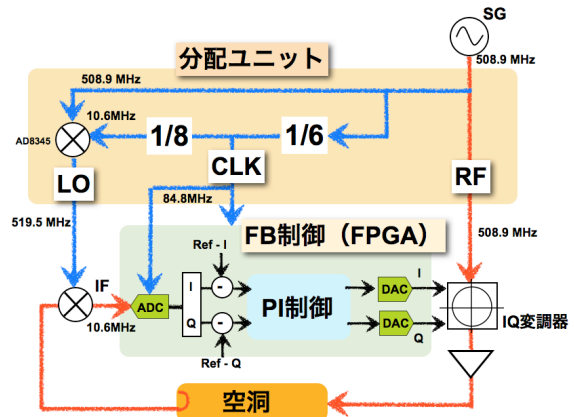


図 4 : デジタル FB 制御方式

は FPGA および DAC のレイテンシが約 55 クロックと大きく、デジタル処理での遅延時間が約 $1.3\mu\text{s}$ となるので、クロックを倍にして遅延時間を半分 (650ns) にする為である。AD 変換においては 1 データおきに間引くことで I,Q 成分を得ている。図では省略されているが、AD 後の I,Q 値及び DAC 出力に対しローテーション演算が入っていて、ループの位相と振幅 (比) の調整が可能となっている。

チューナー制御モジュール (図 3 の制御ボード B) は空洞入出力の位相差 (離調度) を測定し、それに応じてチューナー制御 (モータードライブ) のためのパルス信号を出力する (このパルス出力は現在未完成だが、近いうちに導入される予定)。これは ARES の加速空洞および貯蔵空洞の 2 つのチューナー制御を行う。

空洞の立ち上げシーケンスや状態遷移制御等は PLC が担う。このプログラムは、横河電気製 PLC の LinuxCPU (F3RP61) 上で動作する EPICS シーケンサにより実現されている^[7]。PLC とデジタル制御ユニットは Channel Access (CA) 接続によってデータ通信を行う。ローカル操作においても、図 1 のように操作 PC (LinuxOS) が置かれ、EPICS (EDM-GUI) により操作、設定を行う。

3. FB 制御特性評価

図 5 に示す模擬空洞を用いて FB 制御等の基本的な RF 制御特性について評価を行った。この模擬空洞は、同軸型共振器で単板に自動チューナーが取り付けられている。入力結合度はほぼ 1 に合わせ、

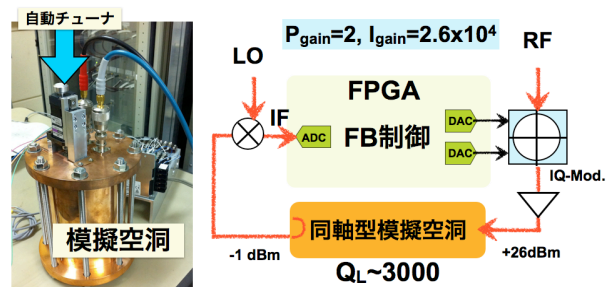


図 5 : 模擬空洞とセットアップ図

ピックアップの結合度は約-27dB である。負荷 Q_L 値 (Q_L) は約 3000 で、実際の ARES 空洞の Q_L (約 20000) と比べるとかなり小さいが、基本的な特性評価は十分可能である。

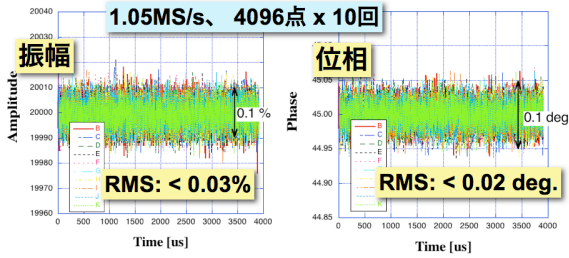


図 6 : FB 制御時の ADC モニター波形

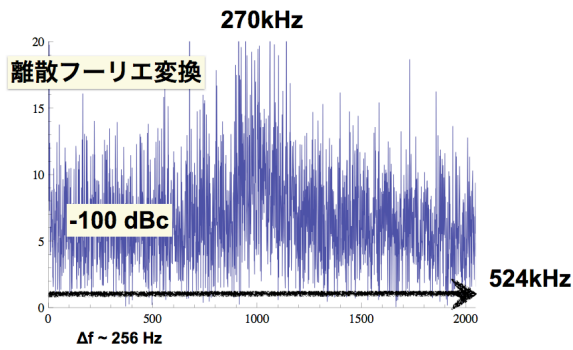


図 7 : 図 6 のデータの離散フーリエ変換

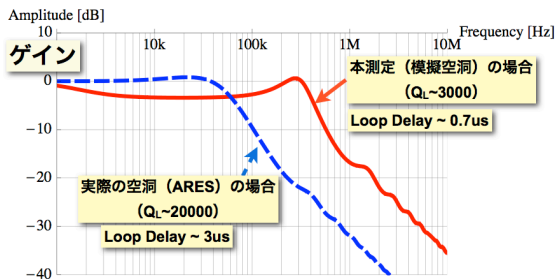


図 8 : ボーデプロット (計算)。実線 (赤) が模擬空洞による本評価における特性。点線 (青) が実際の運転 (ARES 空洞) の場合。

この模擬空洞で FB 制御を行った結果を図 6 に示す。これはデジタル FB 制御 (FPGA) 自身の ADC の値である (ADC で得たベースバンド I,Q 成分から振幅、位相にしている)。1.05MS/s で 4096 点 (横軸全幅約 4ms) を 10 回取得し重ねてプロットしている。この時 FB 制御の比例ゲイン (P_{gain})、積分ゲイン (I_{gain}) はそれぞれ 2、 2.6×10^4 である。この結果から、振幅、位相の変動幅がそれぞれ約 0.1%、0.1 度で、rms ではそれぞれ 0.03%、0.02 度の安定度となっている。このプロットに対し離散フーリエ変換を行った結果が図 7 である (I,Q 成分をそれぞれ実数部、虚数部とした)。この図では分からないが 0Hz (キャリア成分) のところに 1.3×10^6 の高いピークがあり、それと比べると全体は 5 桁ほど低いので

ノイズ成分は約-100dBc と考えられ、問題となる成分は無い。270kHz あたりに少し高い発振が見られるが、これはデジタル系のレイテンシ (遅延 650ns) によるものである。図 8 に本評価条件におけるボーデプロット (閉ループ) を示す。実線 (赤) が $Q_L=3000$ でループ遅延を 700ns として計算したものである。300kHz の下にピークが出ているが、ループ遅延が 400ns とした場合は出ない。この結果 (図 7, 図 8) によりデジタル系のレイテンシ (遅延) が約 650ns であることをはっきりと示されたことになる。ただし、図 8 の点線 (青) で示すように、実際の運転 (ARES 空洞における条件、 $Q_L=20000$) では問題ないことが分かる。この時ループ遅延を $3\mu\text{s}$ として計算しているが、実際は最大 $2\mu\text{s}$ 程度だと思われる。

以上のデータはデジタル FB 制御系自身 (ADC) の測定データであり、本当にそれが正常であるか判断するためには、FB 制御系とは独立した測定系で評価する必要がある。空洞信号の位相を外部ダブルバランスドミキサーにより測定した結果を図 9 に示す。位相変動は 0.1 度以下であり十分安定であると言えるが、ゆっくりとした周期的な変動がはっきり見られた。その周波数は約 650Hz で、この周期的変動の原因を調べたところ、LO 信号に位相ノイズとして乗っていることが分かった (図 10)。この原因として、AC 電源 (50Hz) の高調波成分が影響していると考えられる。分電盤から電源電圧が 12~15 倍の高調波成分 (600Hz~750Hz) が大きいという過去のデータがあり、また本機構内の別のシステムでも以前、同様の現象が観測されている。電源が LO 信号に影響する理由として、本システムでは図 11 に示すようにアクティブな IQ 変調器 (AD8345) を用いて LO 周波数を生成していることが言える。そのため、今後 IQ 変調器ではなくパッシブなミキサーに変更することを検討している。

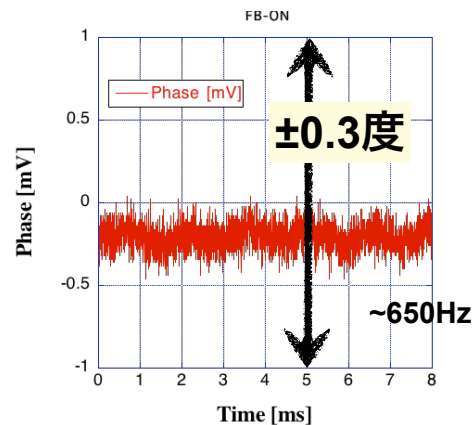


図 9 : FB 制御時の RF 信号位相 (FB 制御系とは独立した外部 mixer による計測)。約 650Hz のゆっくりとした周期的な変動が見られる。

4. RF インターロック応答

RF 信号に対するインターロックには、ログアン

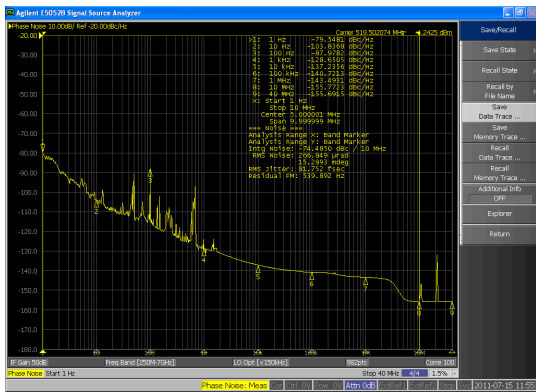


図 1 0 : LO 信号の位相雑音。600Hz~700Hz あたりに高いスプリアスが見られる。

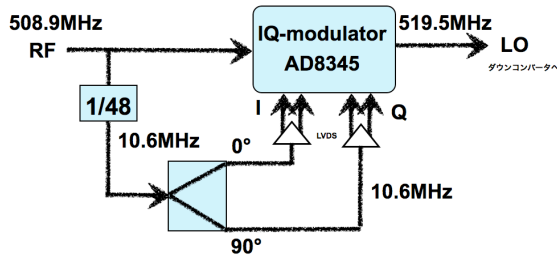


図 1 1 : LO 周波数の生成

ブで検波した電圧をコンパレータで判別するものと (図 1 の弁別ユニット) と FPGA ボード (IF 信号のサンプリング) によるもの (図 3 の制御ボード C) との 2 種類がある。FPGA ボードでは空洞入出力 (位相も含め) モニターし VSWR 値でのインターロックも行う。弁別器によるインターロックの応答時間を測定した結果を図 1 2 に示す。クライストロン反射に相当する信号を入れ、RF が停止するまでの時間をオシロスコープで測定した。その結果、閾値レベルによって大きく変わることが分かった。閾値が低い (入力が大きく超える) 場合は $1\mu\text{s}$ 以下で応答し、閾値が高い (入力がわずかに超える) 場合は、最大で $6\mu\text{s}$ 程度であった。これより、ログアンプもしくは後段のオペアンの応答時間が数 μs であると推測される。FPGA ボードによる空洞反射インターロックでは閾値によって大きく変わることはなく $1\mu\text{s}$ 前後であった。 $1\mu\text{s}$ 程度の応答は十分速いと

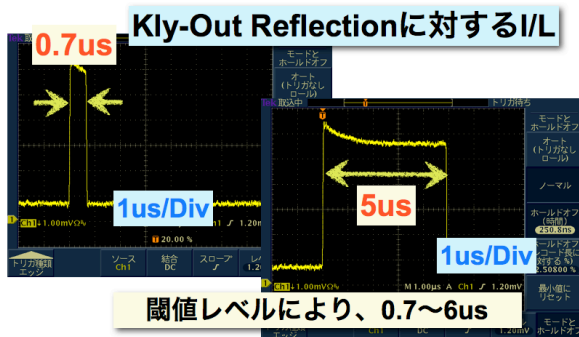


図 1 2 : 反射インターロック応答時間

言える。 $6\mu\text{s}$ でも SuperKEKB の運転においては特に問題ないが、改善余地があるか今後検討する。

5. まとめと今後の課題

SuperKEKB 加速器の実現に向け、新たにデジタル LLRF システムの開発を行っている。その試作機が完成し、RF 制御に関する性能評価を行った。同軸型模擬空洞 ($Q_L \sim 3000$) を用いた評価で、デジタル FB 制御、自動チューナー制御の基本的な性能に問題がないことを確認し、振幅、位相それぞれ 0.03%、0.02 度の安定度 (rms) を得た。しかしながら電源の高調波成分が LO 信号に影響し、わずかに周期的 (約 650Hz) な位相変動が起きることが分かった。そこで LO 信号の生成方法の改善を検討する。

今後の主な検討課題として、(1) 温度特性 (長期的な安定度) の評価・改善、(2) 空洞立ち上げ等のシーケンス処理の試験・改善、(3) 加速空洞と貯蔵空洞の 2 台同時のチューナー制御試験などが上げられる。(2) (3) に関しては、100W アンプを用いた実際の ARES 空洞での試験を考えている。それと並行して ARES シミュレータを設計中である。

また、RF 基準信号分配伝送システムや DR 用の LLRF 制御システム (3 空洞ベクターサム) の開発を進めていく。

参考文献

- [1] H. Koiso, et al., "Design of SuperKEKB based on the Nano-Beam Scheme", Proceedings of the 7th Annual Meeting of Particle Accelerator Society of Japan, 2010, http://www.pasj.jp/web_publish/pasj7/proceedings/LH_4A_M_1/WEPL02.pdf
- [2] T. Kageyama, et al., "The ARES cavity for KEKB", Proceedings of APAC98, pp. 773-775, 1998.
- [3] K. Akai, et al., "RF System for SuperKEKB", Proceedings of the 7th Annual Meeting of Particle Accelerator Society of Japan, 2010, http://www.pasj.jp/web_publish/pasj7/proceedings/SH_4P_M_2/WESH05.pdf
- [4] M. Kikuchi, et al., "Design of Positron Damping Ring for SuperKEKB", Proceedings of IPAC'10, 2010. <http://epaper.kek.jp/IPAC10/papers/tupec054.pdf>
- [5] M. Ryoshi, et al., "LLRF Board in Micro-TCA Platform", Proceedings of the 7th Annual Meeting of Particle Accelerator Society of Japan, 2010, http://www.pasj.jp/web_publish/pasj7/proceedings/P_4PM/P_EH_4PM/WEPS109.pdf
- [6] H. Deguchi, et al., "EPICS Embedding for SuperKEKB LLRF Components", Proceedings of the 7th Annual Meeting of Particle Accelerator Society of Japan, 2010, http://www.pasj.jp/web_publish/pasj7/proceedings/P_5PM/P_EH_5PM/THPS087.pdf
- [7] J. Odagiri, et al., "Application of Embedded EPICS to LLRF Control System for SuperKEKB", Proceedings of the 8th Annual Meeting of Particle Accelerator Society of Japan, WEMH10, 2011.