

EVALUATION OF THE FPGA BOARD FOR MICROWAVE MEASUREMENT AND CONTROL

Hiroaki Katagiri¹, Shigeaki Fukuda, Toshihiro Matsumoto, Takako Miura, Shinichiro Michizono, Yoshiharu Yano,
Mitsuhiro Yoshida

High energy accelerator research organization
1-1 Oho, Tsukuba, Ibaraki 305-0801 Japan

Abstract

Recently, FPGA technology is widely used for the accelerator control owing to its fast digital processing. Here we report two examples of the FPGA applications to the low level rf (llrf). One is the development of multi-purpose AD/DA board with an FPGA. This will be first utilized for the measurements of the amplitude and phase at the KEKB injector linac, where the 50 Hz data acquisition is required at the up-grade plan. Another is the llrf data acquisition system using a commercial FPGA board so called XtremeDSP. It enables us the fast (40 MHz) sampling with the data length of 80,000 points corresponding to 2 ms data. This is used as an external monitor of the digital FB system for STF. Since the FB system does not have enough rf data output (every 1 us), this system would become the powerful tool and can be used like a digital oscilloscope with high (14-bit) resolution.

高周波計測・制御用FPGAボードの評価

1. はじめに

高エネルギー加速器研究機構の電子・陽電子入射器では、低電力高周波源の計測・制御系へのFPGAの導入を進めている。これまでにザイリンクス社製FPGAボード「Xtreme DSP」を使用し、低電力高周波源の安定性試験、I/Q変調方式励振系の動作試験などで実績を挙げている。さらにPCIバスの通信速度を活かし、高速且つ大容量データ収集を行うべく開発を進めている。

一方、現在進行中の電子・陽電子入射器アップグレード計画^[1]では、複数の蓄積リングへ50Hzのパルス毎にビームを振り分ける予定であり、高周波計測・制御系には確実に50Hzで動作することが求められる。既存のVXIベースのシステムでは実現が困難なことから、ADC/DACの多チャンネル化・低コスト化の要求もあることから、ADC/DACを各10CH/4CH搭載した汎用ADC/DACボードを試作し性能評価を行ってきた。

本稿では、汎用FPGAボード及びXtreme DSPボードを用いたシステムの開発状況と性能評価について述べる。

2. 汎用ADC/DACボード

汎用ADC/DACボードは高周波計測・制御に幅広く使用する目的とし、且つ低コストで量産が可能なことも考慮して設計された。入射器アップグレード計画に対応した計測系への導入も検討していることから、先ずこの計測系に求められる性能と既存の計測計の問題点について考察する。

2.1 入射器アップグレード計画への対応

電子・陽電子入射器はKEKBファクトリーの電子及び陽電子リング、放射光リング、大強度放射光リングへ各々ビームを供給している。現在進行中の入射器アップグレード計画では、50Hzパルス毎にこれらのリングへビームを振り分ける事が予定されている。これを実現するために高周波の励振系にはパルス毎の位相制御、計測系には50Hzの全パルス測定が求められる。

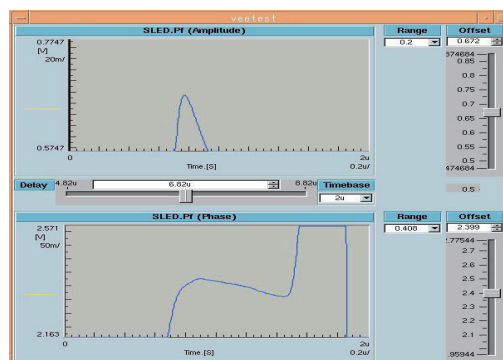


図1：SLEDピーク部の振幅・位相測定の場合

現在VXIをベースとした高周波計測系^[2]が構築され、入射器の安定した運転に寄与している。しかしアップグレード計画を考えた場合、機能的な問題点として1) 25Hzでしかデータの捕捉ができない、2) デジタイザの分解能が不足(8ビット)、の2点が挙げられる。1)に関してはデジタイザの仕様上の制限である。2)については位相測定のために10mV/度の電圧出力型位相検出器を用いており、読

¹ E-mail: hiroaki.katagiri@kek.jp

み取り分解能を上げるため電圧レンジを拡大してオフセット付き計測を行っている(図1)。そのため位相検出範囲は40度程度と狭く、ビームモード毎に位相設定値が大きく異なる場合、測定範囲外となる可能性が高い。

今後導入する計測系では上記の問題点の改善が求められる。

2.2 ハードウェア構成

汎用ADC/DACボード試作品の仕様を示す。

- メインFPGA：Spatran3 XC3S1500
- ADC：AD9215: 10bit, 100MSPS, 10CH搭載
- DAC：AD9744A: 14bit, 160MSPS, 4CH搭載
- ホストインターフェース：Xport-03

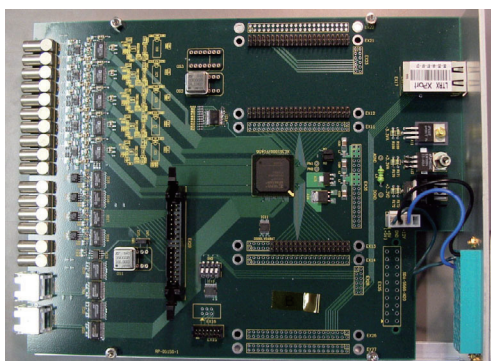


図2：汎用ADC/DACボード外観

先に述べた位相測定など、用途によってはADCの分解能は10ビットでは不足することが考えられる。そこで、より高分解能なADCを搭載したドーターボードを開発中である。このドーターボードは図2の基板中央部のヘッダーピンに接続され、メインの基板設計を変更することなく、その機能を拡張することが可能である。この汎用ADC/DACボードは、入射器アップグレード計画に対応した高周波励振系^[3]への導入も検討されている。

2.3 FPGA内部ロジックの開発

以前作成したXtremeDSP用デジタイザ回路をベースに開発し、波形データを格納するブロックRAMは160ビット×1024ワードとした。ADC1チャンネル当たり16ビットで10チャンネル分のデータが並列に格納されるイメージである。このブロックRAMを2系統用意し、一方は送信データバッファとして使用する。これにより外部ホストへのデータ転送中も波形データのサンプリングが妨げられることはなく50Hz全パルス捕捉が可能となった。

ホストインターフェースとしてラントロニクス社製シリアルイーサネット変換器であるXPortを搭載している。メインFPGA上にパラレルシリアル変換回路を実装するわけであるが、これもXtremeDSP用に開発したものを基にフロー制御を追加した回路を作成した。これにより、以前問題となっていたXPortのシリアル→イーサネット方向の通信速度上のボトルネックが解消された。更にシリ

アル通信速度を115.2kbbsからXPortの最大値である921.6kbbsに引き上げた結果、外部ホストとの間のデータ転送速度は実効値で約60kバイト/秒まで向上した。転送データをADC 1チャンネル、512ワードに制限すれば50Hz全パルスの読み出しが可能である。

2.4 動作試験

図3はクライストロンギャラリーで動作試験を実施した際に取得した波形データである。上から、クライストロン出力進行波、SLED出力進行波及び反射波である。各々RF信号を検波器で検波した振幅波形を入力している。この試験ではADC/DACボードとホストPCをイーサネットクロスケーブルで直結し、LabVIEWで作成したプログラムでADC10チャンネル分のデータを毎秒2回の繰り返しで連続的に取り込んだ。この際、数十秒に1回ほどの割合でデータの抜けが確認された。図3の4、5番目の波形は外部トリガ信号及びトリガイベントを表すFPGA内部信号をデバッグのためにモニタしたものである。これらの信号にスパイク状のノイズが見られることから、正規のタイミング以外で波形データ捕捉回路が動作するケースがあると予想される。トリガ信号のノイズ除去及び、トリガイベント検出回路の見直しが必要である。

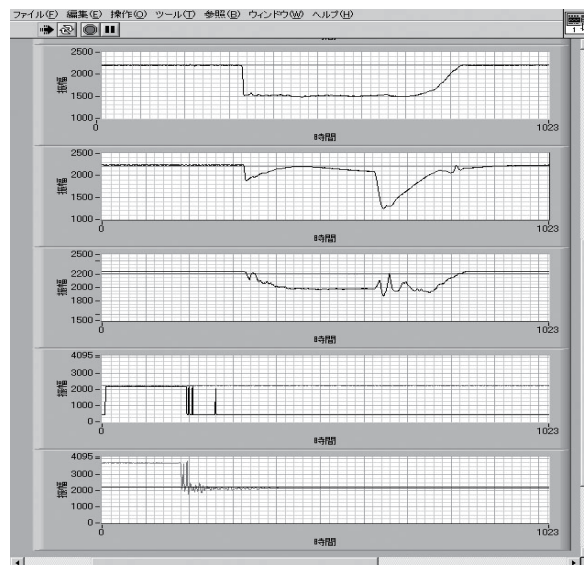


図3：汎用AD/DAボードで取得した波形データ

3. XtremeDSPの応用

ザイリンクス社製FPGAボード「XtremeDSP」は大電力クライストロンパルス欠け測定、Sバンド及びCバンドI/Q変調方式励振系試験、J-PARC用低電力高周波源の安定性試験、STF低電力高周波源試験用キャピティシミュレータなど入射器で様々な用途に利用されてきた。このボードを用いて開発したIP (intellectual property) コアは汎用ADC/DACボードにも活かされている。

ボードの主な構成としてはFPGA (Virtex4 XC4VVSX35)、ADC (AD6645 14bit, 105MSPS)

2CH、DAC (AD9772A 14bit, 160MSPS) 2CHがある。また外部ホストとのインターフェースとして、USB1.1及び32ビットPCIが使用できる。

3.1 ロングレコードサンプリング回路

これまでも XtremeDSP を使用したパルス波形の計測は行ってきたがワード長は2048点と短かった。今回は次節で述べる試験を行うためワード長を80000点（ブロックRAMサイズとしては32ビット×80000）に設定、さらに高速でデータ取得を実現するためPCIバスによるデータ転送回路を組み込んだ。ホストPC上ではLabVIEWでデータを読み出すプログラムを作成した（図5）。80000ワードのデータ取得は1秒程度で完了する。これは、ほとんどがインターフェース初期化のための待ち時間であり、実際にデータ転送に要する時間は短いため、プログラムを改善することで繰り返し計測などでは高速化が期待される。

3.2 STF用低電力高周波源の安定度測定

STF (Superconducting RF Test Facility) 用低電力高周波源ではコンパクトPCIベースのデジタルフィードバック系を採用し、要求されている高周波パルス (1.3GHz、幅1.5mS、5pps) の振幅・位相安定度を確保している^[4]。本節では XtremeDSP のロングレコードサンプリング回路を用いて行った振幅・位相安定性の外部評価試験について述べる。

この試験では、STF超伝導空洞に見立てた空洞シミュレータから出力された10MHzのIF信号を40MHzでサンプリング、取得したデータをI/Q分離して振幅・位相の安定度を検証する。XtremeDSPのブロックRAMワード長は先述の通り80000点であるので2mS分のデータを捕捉することができる。

図6は取得したデータをMATLABでIQ分離した後に振幅・位相表記に変換したものである。パルス内のフラット部分における振幅及び位相安定度は各々0.1%rms、0.06度rmsであった。この値は、FB系の安定度に XtremeDSP による測定系のノイズが加えられたものであるが、STFにおける仕様 (0.3%rms、0.3度rms) を評価するにはノイズレベルは十分低く有用であることがわかった。また、コンパクトPCIのデジタルフィードバック系においては、FBは40MHzのクロックで実行されているが、使用しているFPGAのメモリの制限により外部からモニタできるデータは1μ秒毎のものしかない。このため、XtremeDSPによる80000点のデータ取得系は外部安定度評価だけでなく、高速のRFモニタとしても有用である。

4. まとめ

汎用ADC/DACボードの実地動作試験を行い、動作の安定性を確認した。トリガ回路の誤動作以外は特に問題は見られなかった。今後はハードウェア、FPGA内部回路の開発を進めるとともに位相測定の精度について検証する予定である。

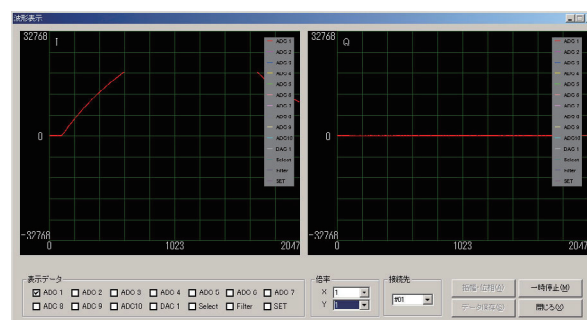


図4：デジタルフィードバックモニタ画面

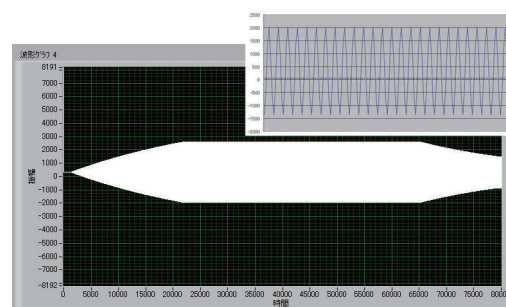


図5：IF信号サンプリングデータとその拡大表示

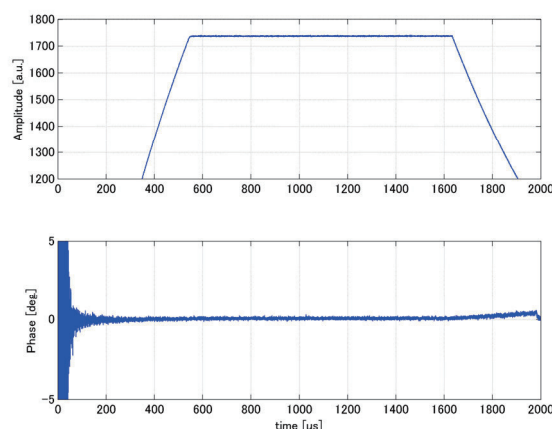


図6：MATLABによる解析

参考文献

- [1] M. Satoh, et al., "THE KEK INJECTOR UPGRADE FOR THE FAST BEAM-MODE SWITCH", Proceedings of the 3rd Annual Meeting of Particle Accelerator Society of Japan, August 2-4, 2006, Sendai Japan, p499-501.
- [2] H. Katagiri, et al., "RF Monitoring System in the Injector Linac", Proceedings of the 7th international conference on accelerator and large experimental physics control systems, ICALPECS'99, Trieste, Italy, 1999, pp. 69-71
- [3] Y. Yano, et al., "DEVELOPMENT OF COMPACT KLYSTRON DRIVE SYSTEM", Proceedings of the 3rd Annual Meeting of Particle Accelerator Society of Japan, August 2-4, 2006, Sendai Japan, p847-849.
- [4] T. Matsumoto, et al., "Status of Low Power RF System in KEK-STF", Proceedings of the 3rd Annual Meeting of Particle Accelerator Society of Japan, August 2-4, 2006, Sendai Japan, p496-498.