

## LTD 用低ジッタートリガパルス発生器の開発

### DEVELOPMENT LOW JITTER DELAY TRIGGER PULSE GENERATOR FOR LTD

隅田 博之<sup>#,A)</sup>, 徳地 明<sup>A)</sup>, 小田 航大<sup>B)</sup> 小野 礼人<sup>C)</sup> 高柳 智弘<sup>C)</sup>

Hiroyuki Sumida<sup>#,A)</sup>, Akira Tokuchi<sup>A)</sup>, Kodai Oda<sup>B)</sup>, Ayato Ono<sup>C)</sup>, Tomohiro Takayanagi<sup>C)</sup>

<sup>A)</sup> PPJ

<sup>B)</sup> KEK

<sup>C)</sup> J-PARC/JAEA

#### Abstract

We are developing a 40 kV, 2 kA high-voltage pulse power supply using a SiC-MOSFET-driven Linear Transformer Driver (LTD) circuit for J-PARC's RCS kicker magnet. LTD has an excellent feature that the output waveform can be freely adjusted by changing the trigger timing of each pulse generating substrate (LTD substrate). Here, in order to output waveform stably with good reproducibility, it is important to minimize the jitter of the delay time of the trigger timing to each LTD substrate. We have been developing a trigger pulse generator that raises the clock frequency of the FPGA to 1 GHz or more and realizes a jitter time of 1 ns or less. Report on the progress of this development. (Translated by Google)

#### 1. はじめに

我々は J-PARC の RCS キッカーマグネット用に SiC-MOSFET 駆動の Linear Transformer Driver(LTD)回路を使用した 40 kV, 2 kA の高電圧パルス電源を開発している。LTD は各パルス発生基板(LTD 基板)のトリガタイミングを変えることにより、自在に出力波形を調整できるという優れた特徴を有している。ここで、再現性良く安定に波形を出力するには、各 LTD 基板へのトリガタイミングの遅れ時間のジッターを極力小さくすることが重要である[1]。我々は FPGA のクロック周波数を 1 GHz 以上に上げて、1 ns 以下のジッター時間を実現するトリガパルス発生器の開発を進めてきた。この開発の進捗状況について報告する。

#### 2. トリガパルス発生器

トリガパルス発生器の仕様を Table 1 に示す。出力チャンネル数は実際には 52 ch で、内訳は LTD 主基板駆動用に 32 ch、LTD 補基板駆動用に 20 ch である。出力チャンネルから出力される光信号パルス幅は 10 ns から 10 us まで 10 ns 刻みで設定することができる。

Table 1: Spec of the Trigger Pulse Generator

Output Channels	>20 ch
Range	10 ns to 10 us
Resolution	10 ns
Jitter	±1 ns or less
Trigger Output	Optical
Master Trigger	Ext. Trigger Sync.
Repetition	1 to 25 Hz

トリガパルス発生器の内部構成は入力から順に、入力部フォトカプラ、FPGA、出力部フォトカプラ、バッファ、E/O 変換素子である(Fig. 1)。入力部フォトカプラと出力部フォトカプラは電気信号を絶縁し、ノイズによる誤動作を防止する役割を担っている。FPGA は出力の時間に関する制御を担っている。これらの要素を通過した電気信号は最終的に E/O 変換素子で光信号として後段の LTD 基板へ送られる。

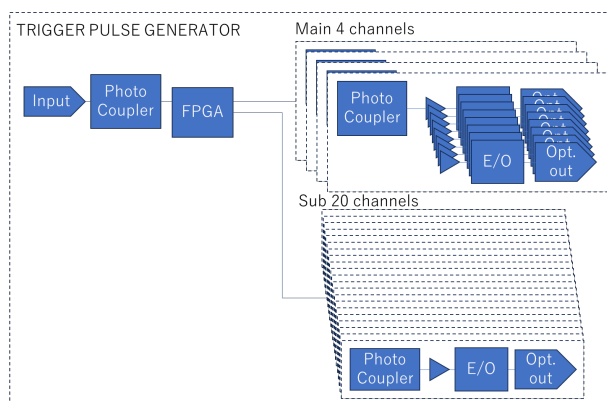


Figure 1: Block Diagram of the Trigger Pulse Generator.

構成要素のうち比較的大きなジッター要因として FPGA がある。外部から入力される非同期のマスタートリガを FPGA 内部のトリガに同期させるときに 1 クロック分のジッターが発生してしまう。FPGA 要因のジッターは以前の試作機でクロックを 375 MHz としたときに 2.8 ns であったため、今回はクロックを 1 GHz まで引き上げ 1 ns 程度に低減することを目標とした。

他にフォトカプラも比較的大きなジッターの要因となる。そこで事前に 3 種類のフォトカプラについて温度が与える遅れ時間とそのジッターへの影響について予備調査

を実施し、最も特性が良好だった TLP2767(Toshiba)を採用した (Table 2、Table 3)。さらに運転中の温度変化が遅れ時間のドリフトを生じ、ジッターとなるのを防ぐため、本装置は内部に恒温槽を設けその中に制御基板を配置している。最終的には目標として恒温槽内の温度変動を  $\pm 0.1\text{ }^{\circ}\text{C}$  以下に抑える予定である。温度制御を加えることで FPGA の動作を安定させジッターを抑える効果も見込まれる。

Table 2: Photocoupler Delay Time

Component	delay time [ns]		delay drift[ns]
	20°C	40°C	
TLP2367	18.8	19.4	0.6
TLP2767	18.4	19.0	0.6
TLP2662	36.2	36.9	0.7

Table 3: Photocoupler Jitter

Component	jitter [ns]		jitter drift[ns]
	20°C	40°C	
TLP2367	0.3	0.3	0.0
TLP2767	0.2	0.2	0.0
TLP2662	1.3	1.6	0.3

### 3. 評価試験

製作したトリガパルス発生器にマスタートリガとしてファンクションジェネレータから、仕様で定める繰り返し周波数の最大値である 25 Hz、duty=50 %の矩形波を入力、連続した 10,000 回の出力パルスを発生し、オシロスコープで入出力の遅れのジッターを測定した (Fig. 2)。この際同時に装置内部の信号経路の波形も測定し、前述の構成要素ごとのジッターも測定した。測定対象は LTD 主基板駆動用チャンネルより 4ch、LTD 補基板駆動用チャンネルより 2ch を代表した。オシロスコープのトリガはファンクションジェネレータとトリガパルス発生器の中間地点に接続した T 分岐の立上りエッジとした (Fig. 3)。

ジッターは各構成要素の入出力のエッジ間の時間幅を遅れ時間 (D0~D3) とし、この遅れ時間を 10,000 サンプルした時の最大値と最小値の差とした (Fig. 4、Fig. 5)。

今回の評価中は恒温槽が調整中のため  $\pm 0.1\text{ }^{\circ}\text{C}$  の目標には至らなかったが温度変動幅は  $29.4\text{ }^{\circ}\text{C} \sim 29.7\text{ }^{\circ}\text{C}$  であった (Fig. 6)。

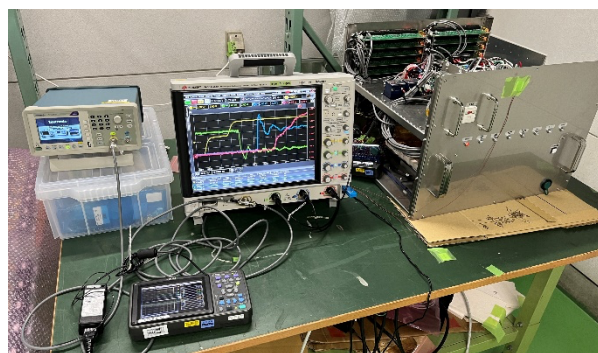


Figure 3: Test setup.

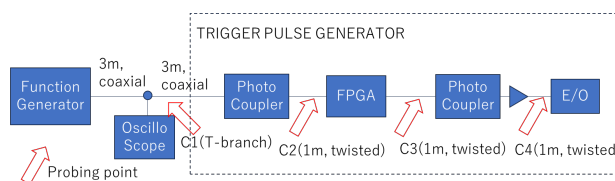


Figure 4: Block diagram and probing point.



Figure 5: Sub Channel's Waveform and Delay Time Measurement Point.

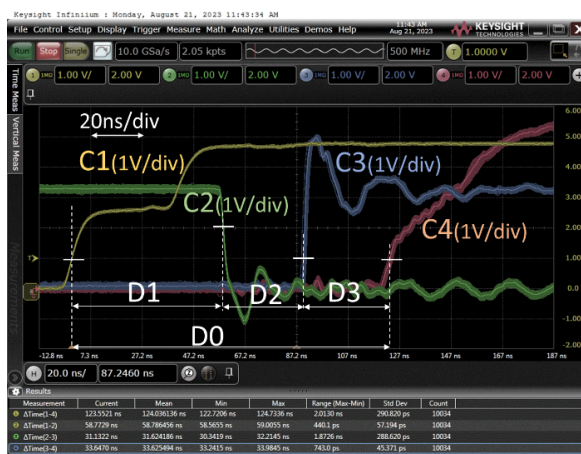


Figure 2: Main Channel's Waveform and Delay Time Measurement Point.

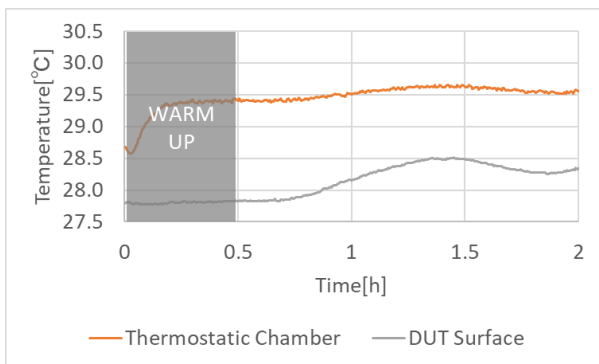


Figure 6: Temperature Trends of the Thermostatic Chamber.

評価の結果、入出力ジッターは最大で 2.4 ns だった。このうち FPGA 要因が 2.0 ns と大半を占めていた (Fig. 7)。理論的には 1 GHz クロックでマスタートリガ入力を同期する際に生じる 1.0 ns を FPGA 要因のジッターとして予想していたが、実際には FPGA 内部回路で生じる信号の伝播遅延などの影響を受けたと考えられる。

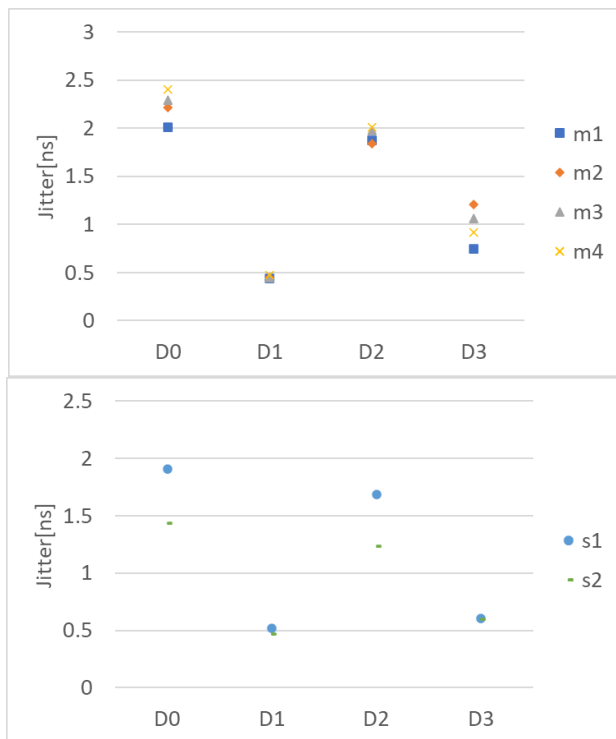


Figure 7: Jitter measured from 10,000 shots. Jitter is got by difference between max and min of delay time. Upper: Main Channels. Lower: Sub Channels.

#### 4. まとめと今後の展望

J-PARC RCS キッカーマグネット用 LTD 電源用に、トリガタイミングの遅れ時間のジッターを  $\pm 1$  ns 以下とすることを目標に FPGA のクロック周波数を 1 GHz に高速化したトリガパルス発生器を開発した。

評価の結果、入出力間のジッターは 2.4 ns だった。このうち FPGA 要因は 2.0 ns で大半を占めており、1 GHz クロックからの予想値である 1.0 ns を上回った。この原因として、実際には FPGA 内部回路で生じる信号の伝播遅延の影響を受けたと考えられる。

今後は FPGA の内部回路を組み替えて伝播遅延を抑えつつ、さらにクロック周波数を上げることで目標の  $\pm 1.0$  ns のジッター実現を目指す。

#### 参考文献

- [1] Kodai Oda *et al.*, “次世代パワー半導体を用いた新キッカー電源用の低ジッタ回路の構築” Proceedings of the 19th Annual Meeting of Particle Accelerator Society of Japan, October 18 - 21, 2022, WEP036.