

スイッチ型クライストロンモジュレータへの 出力電圧補償回路の適用に関する検討

STUDY ON A VOLTAGE COMPENSATOR APPLIED TO SWITCH-TYPE KLYSTRON MODULATOR

高橋勇紀^{A)}、飯嶋竜司^{A)}、磯部高範^{A)}、只野 博^{A)}、山崎長治^{*,B)}、長谷川智宏^{B)}
Yuki Takahashi^{A)}, Ryuji Iijima^{A)}, Takanori Isobe^{A)}, Hiroshi Tadano^{A)}, Choji Yamazaki^{*,B)}, Chihiro Hasegawa^{B)}

^{A)}University of Tsukuba

^{B)}Toshiba Mitsubishi-Electric Industrial Systems Corporation

Abstract

This paper proposes a new pulse voltage generator which can be applied to klystron power supply. The voltage generator consists of a conventional capacitor discharge type pulse voltage generator and series cascaded voltage compensators. Larger voltage drop in the capacitor bank can be acceptable; therefore, the total size of capacitors can be low. This paper discusses control strategy and demonstrates it in time-domain simulation.

1. はじめに

国際リニアコライダー計画 (ILC) で高周波源として検討されている 10 MW マルチビームクライストロン用のパルス電源では、ピーク電圧 ~ 120 kV、ピーク電流 140 A、パルス幅 1.65 ms、繰り返し周波数 5 Hz のパルス電源が必要である。またパルスの平坦度としては 1%(p-p) が求められている。我々は、実際の製作が 380 台であることから、よりシンプルな構成が良いと考え、このパルス電源にメインの半導体スイッチと直列電圧補償回路を組み合わせた回路方式を提案する。現在は半導体スイッチとコンデンサを多段に組み合わせたマルクス電源の提案が報告されているが [1, 2]、これに比べてシンプルな構成となる。新提案の回路構成は、直流源に対してメインの半導体スイッチを設け、さらに電圧補償回路用の電圧型フルブリッジ回路を多段に直列接続したものである。メインの半導体スイッチは、パルスに応じてオン/オフを繰り返し、さらに電圧補償回路ではブリッジ回路内コンデンサの充放電を半導体スイッチにて切り換えることで、メイン電圧の電圧降下を補償するようにしたものである。この方式の提案と小型モデル実験による検証は [3] で報告されている。本論文では、より具体的な制御法についての検討を行う。さらに実機レベルでの回路シミュレーションを実施して、適用可能であることを確認したので報告する。

2. 提案する回路構成

Figure 1(a) にコンデンサバンクと半導体スイッチからなる一般的なコンデンサ放電型パルス電圧発生装置の回路図を示す。クライストロン用パルス電源としてはパルス電圧を平坦にすることが求められるが、コンデンサバンクは放電により電圧が減少するため、平坦度を満たすためにはコンデンサバンクの容量を大きくする必要がある。冒頭で挙げた 10 MW マルチビームクライストロン用のパルス電源は高電圧大電流であることに加え、パルス幅が非常に長いため、平坦度 1.0% を満たすためにはコンデンサバンクの容量を 200 μ F 程度

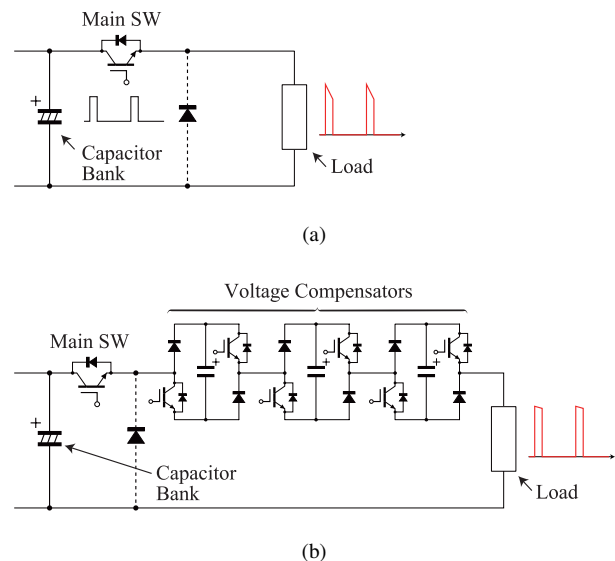


Figure 1: Circuit configurations for pulse voltage generation. (a) Conventional configuration. (b) Proposed configuration with voltage compensators.

にする必要がある。電圧変動を一定値以下とするために静電容量を大きくし、蓄積エネルギーを大きくするこの方法では、コンデンサバンクの体積が非常に大きくなってしまい、トンネル内に多数設置するためには装置体積の点で実現が困難となる。

そこで本論文で提案する、直列電圧補償回路を複数個接続した方式 [3] を Figure 1(b) に示す。補償回路を接続することによりコンデンサバンクの容量を大幅に減少しつつ、コンデンサの電圧降下によるパルス電圧の減少を補償することにより出力電圧の平坦度を高めることが可能である。この補償回路において必要となる定格電圧は補償電圧分だけで良いことから、これに必要なコンデンサの総体積は、主コンデンサバンクと比較して非常に小さいと考えられる。また多段で構成

*YAMAZAKI.choji@tmeic.co.jp

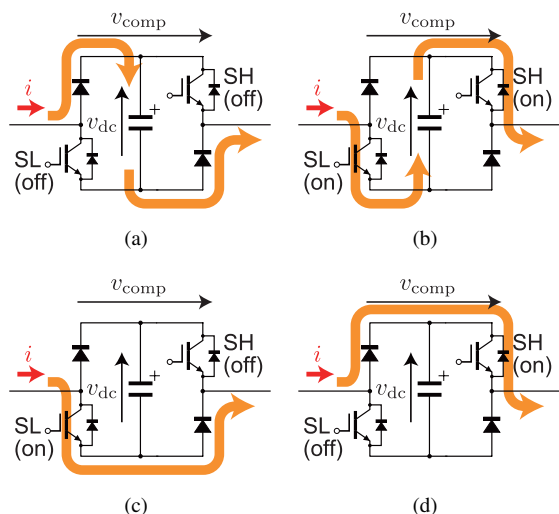


Figure 2: Possible current paths of the voltage compensator. (a)Negative voltage injection. (b)Positive voltage injection. (c)(d)Zero voltage injection.

することで1段あたりの電圧レベルを小さくすることが可能であり、産業用の入手が容易なコンデンサ及び半導体デバイスで構成することができるなどのメリットがある。このことから、従来方式と比較して体積を大幅に削減でき、かつシンプルな構成で所要の平坦度を達成できると考えられる。

次に、補償回路の具体的な動作を説明する。補償回路は2個のダイオードと2個の半導体スイッチとコンデンサで構成されており、半導体スイッチを制御することにより補償回路の状態を変移させることが可能である。Figure 2(a)は充電状態を示している。半導体スイッチを両方もオフにすることにより、補償回路は流入する電流をコンデンサに充電する状態になる。このとき、 v_{dc} は増加し、 v_{comp} は負の値、すなわち主コンデンサバンクの電圧と反対の極性の電圧を回路に挿入する。次に、Figure 2(b)は放電状態を示している。半導体スイッチを両方もオンにすることにより、コンデンサの電流経路を充電状態と逆にすることができる為、コンデンサの電荷が放電される。このとき v_{dc} は減少し、 v_{comp} は正の値、すなわちを主コンデンサバンクの電圧と同じ方向の電圧を回路に挿入する。Figure 2(c)及び(d)は半導体スイッチの片方をオン、もう片方をオフにした状態であり、電流経路はコンデンサを経由しないため、 v_{comp} は0となる。このとき、コンデンサに充電された電荷の量は変動しない為、 v_{dc} は保持される。

Figure 3に単体の補償回路の1パルス中における動作を示す。充電・放電・バイパスの状態を時分割的に制御するPWM制御も可能であるが、パルス幅が1.65msと、この規模の変換器の一般的なスイッチング周期に比べ十分長くはなく、また後述するように多段の補償回路によるマルチレベル化を適用することから、1パルス中で充電・放電を1回づつ行ういわゆる1パルス制御を適用する。まず主スイッチのオンによるパルス開始のタイミングでFigure 2(a)に示す充電モードとする。パルスの開始直後はコンデンサバンクの電圧は高いた

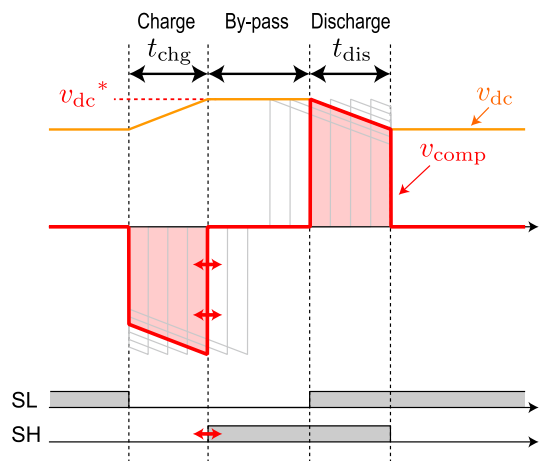


Figure 3: Schematic view of the single voltage compensator control.

め、補償回路によってこれを減じかつ補償回路のコンデンサを充電する。次にあるタイミングでFigure 2(c)または(d)に示すバイパスモードにする。このとき補償回路は電圧を発生しない。その後あるタイミングでFigure 2(b)に示す放電モードとする。主コンデンサバンクの放電がすみ電圧が減少しているパルスの後半では補償回路の放電によって電圧を加える。最後に主スイッチによるパルスの終了のタイミングで放電モードを終了する。

補償回路のコンデンサには電源が接続されていないため、コンデンサ電圧を何らかの方法で維持する必要がある。Figure 3に示すように、充電と放電によってコンデンサに電荷が流入・流出しコンデンサ電圧は変動する。この電荷の総量を制御することで、繰り返しパルスによっても電圧レベルを維持する必要がある。パルス中の電流が一定であるとすれば、電圧補償回路が出力できる電圧の平均値はゼロである。よって主コンデンサバンクの電圧が過剰なときに負電圧を出して充電し、不足なときに正電圧を出して放電する必要がある。

多数の補償回路を直接に接続した多段化の構成をとる場合、一般にスイッチングのタイミングをずらすことによるマルチレベル効果が期待できる。Figure 4に示すように、充電・放電時間を補償回路の各段によってずらすことにより、全段合計の補償電圧を階段状の波形にすることが可能である。主コンデンサバンクの電圧の減少をこの階段状の補償電圧で打ち消すことにより、負荷にかかる電圧のパルス中での減少を抑制し、また階段の高さ程度の電圧変動に抑えることが可能となる。なお、補償電圧波形の階段の段数 N_{stage} と補償回路の段数 N_{comp} の関係は以下の式で表すことができる。

$$N_{stage} = 2 \times N_{comp} + 1 \quad (1)$$

3. 制御方法

3.1 各補償回路のコンデンサ電圧制御法

各段の補償回路のコンデンサ電圧制御について考える。前述のように電圧補償回路のコンデンサには電源

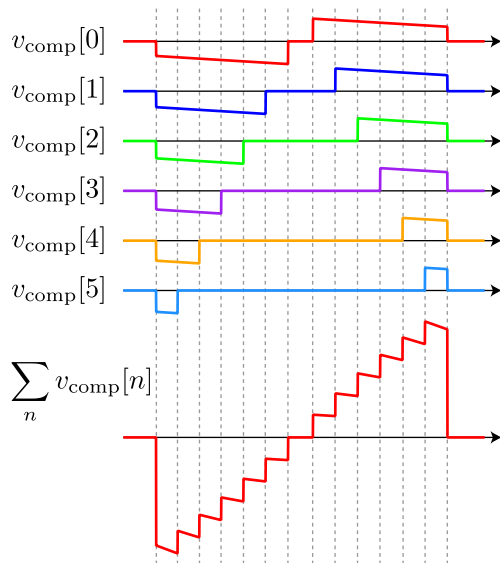


Figure 4: Schematic view of the total injection voltage control.

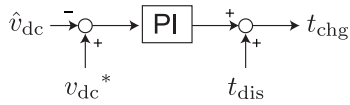


Figure 5: Control block diagram of the cell capacitor voltage control.

が接続されていないため、制御によってコンデンサ電圧を制御する必要がある。1パルス中の電流値が一定であると仮定すると、Figure 3 に示すように $t_{chg} = t_{dis}$ としたときこのコンデンサに流入・流出する電荷の総量はゼロになるため、繰り返しパルスによっても電圧レベルは維持される。しかし実際には回路の損失や各種の誤差によって電圧レベルはドリフトするため、何らかの制御が必要である。

すべての段の放電の終了タイミングはパルスの終了タイミングであるため制御ができない。よって放電時間（放電開始タイミング）は主コンデンサバンク v_{main} の電圧補償のために用い、補償回路のコンデンサ電圧 v_{dc} の制御には専ら充電時間 t_{chg} を用いる。充電開始のタイミングはパルスの開始タイミングであるため、充電終了タイミングを制御する。

t_{chg} によってコンデンサ電圧の最大値 \hat{v}_{dc} を制御するために Figure 5 のような制御法を提案する。繰り返し制御を適用し、前パルスにおけるコンデンサ電圧ピーク値 \hat{v}_{dc} に基づき充電時間 t_{chg} を求める。前パルスにおける \hat{v}_{dc} は、電圧がフラットになるバイパスモードでサンプリングすればよい。 \hat{v}_{dc} が v_{dc}^* と一致するよう比例積分フィードバック制御によって t_{chg} を得る。ただしこの制御はパルス周期毎の離散制御であり応答速度は遅いため、毎パルスの条件が大きく変化しない繰り返し状況下でのみ適用が可能である。また、主コンデンサバンクの電圧降下に対する補償が適切に行われた場合、パルス中での電流値はほぼ一定値であるとみなせるため、結果的に t_{chg} は前パルスの放電時間の実

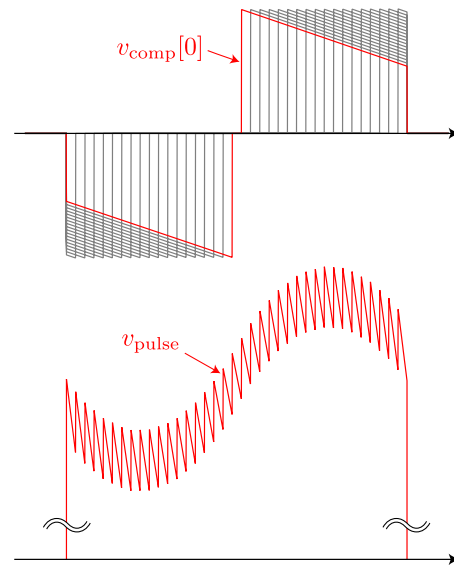


Figure 6: Schematic waveforms with the equalized step compensation strategy.

績値 t_{dis} に近くなるはずである。よって前パルスの放電時間実績値 t_{dis} をフィードフォワードし、その周辺での外乱の補償をフィードバックによって行う構成とする。

3.2 コンデンサバンク電圧降下の補償制御

前節で述べたように、各段の補償回路は任意の t_{dis} （ただし $t_{dis} < 1/2T$, T はパルス幅）で動作可能である。よって $t_{dis}[k]$ を段毎に異なる値とし、適切な階段状の補償電圧を生成し、所望のパルス平坦度を得るための制御を行う。例えば単に等幅の階段幅とすることもできる。すなわち各段 k の補償回路の放電時間幅 $t_{dis}[k]$ ($k = 0, 1, 2, \dots$) を、

$$t_{dis}[k] = \frac{T(k+1)}{2N_{comp} + 1} \quad (2)$$

とする。このときの波形の概略を Figure 6 に示す。補償回路のコンデンサ静電容量は有限であるため、充放電によって電圧が変動する。その電圧変動の影響を受け、補償後の負荷電圧 v_{pulse} はパルスの中心に点対称な脈動を生じる。この影響は補償回路の静電容量を小さくするほど顕著に現れ、パルスの平坦度を悪くする。この方式を用いた場合、補償回路も含めた装置の小型化を考えたときに静電容量低減とパルス平坦度のトレードオフとなる。

そこで本論文ではこの脈動を生じない補償制御法を提案する。Figure 7 に脈動のない波形の概略を示す。このような波形は、例えば負荷電圧 v_{pulse} の瞬時値を使用し、

$$v_{pulse} < \bar{v}_{main} - \frac{1}{2}v_{dc}^* \quad (3)$$

となるときに放電段数を 1 増やすという方法で生成可能である。 \bar{v}_{main} は主コンデンサバンクの電圧 v_{main} のパルス出力期間内平均値である。ただし平均値は前パ

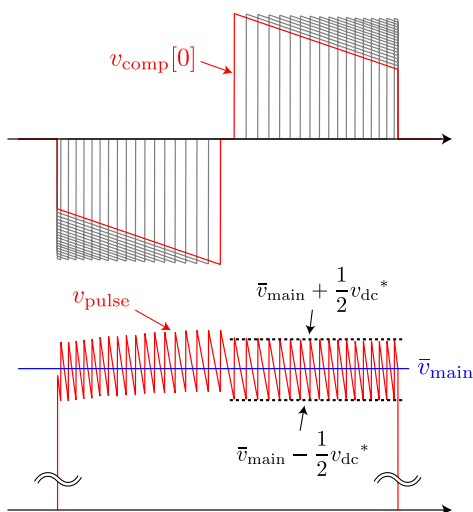


Figure 7: Schematic waveforms with the instantaneous load voltage control.

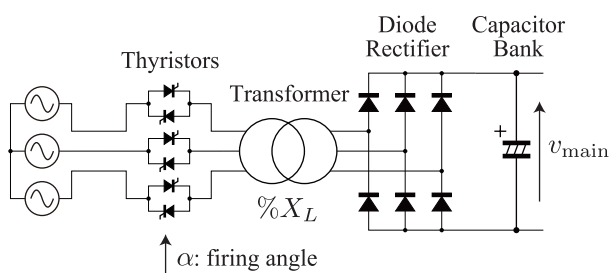


Figure 8: Circuit configuration of the DC voltage supply using thyristor voltage controller.

ルスにおける実績値を使用する必要がある。このようにするとパルスの後半である補償回路の放電期間においては、負荷電圧 v_{pulse} の補償回路の投入ステップ幅での平均値は \bar{v}_{main} に一致する。また先に述べたように電圧補償の結果、負荷電流が一定となったとすれば、 $t_{chg}[k] = t_{dis}[k]$ となり、かつ v_{main} も直線的に減少することから、パルスの前半である補償回路の充電期間は後半と対称的な波形となる。すなわち充電期間においても負荷電圧 v_{pulse} の平均値は \bar{v}_{main} に一致するはずである。

3.3 直流源の制御

提案する手法ではコンデンサバンクの電圧に比較的大きな電圧変動が生じるため、電圧変動に対応した直流電源が必要である。必要な直流電圧は 120 kV 程度

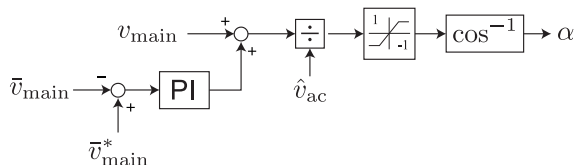


Figure 9: Control block diagram for the thyristor voltage controller.

と非常に高いことから、本論文では Figure 8 のようなサイリスタとダイオードブリッジを用いた直流電源を使用することを提案する。この構成では整流回路には高電圧に対応する必要があるため、ダイオード整流回路を用いる。ダイオードブリッジは直流電圧が変動することで交流電力も大きく脈動するため、電力を調整するための制御要素が必要である。ここでは受電電力を 120 kV 程度まで昇圧する商用周波数トランスの低压側（1次側）にサイリスタを用いた交流電圧調整回路を持つ構成とする。受電電圧は 6.6 kV などを想定しており、一般的な部品で構成可能である。またトランスの漏れリアクタンス $\%X_L$ として定格電力の 5~7% を想定する。

Figure 9 に交流電圧調整回路に与える制御角 α を求める制御ブロック図を示す。交流電源周波数 50Hz に対し、パルス繰り返し周波数は 5Hz であり、交流の 10 周期を単位にコンデンサ電圧 v_{main} が変動する。このように変動するコンデンサ電圧に対し、その実測値 v_{main} に基づき位相角 α を計算する。 \hat{v}_{ac} は $\alpha = 0^\circ$ 時の入力交流電圧のピーク値である。さらに、パルス出力期間中のコンデンサ電圧の平均値 \bar{v}_{main} を指令値 \bar{v}_{main}^* ($=120 \text{ kV}$) にするためのフィードバック制御を加える。 \bar{v}_{main} はパルス毎に計算され、離散的に更新される値である。このフィードバックは数パルス以上の比較的長期的なコンデンサ電圧制御を行うようチューニングする。

4. 実機レベルでの回路シミュレーション

4.1 設計

冒頭で挙げた 10 MW マルチビームクライストロン用のパルス電源の仕様に基づき、Table 1 の条件で実機レベルでの回路シミュレーションを行った。ただしシミュレーションの都合上、パルス繰り返し周波数は 10Hz とした。ここで主コンデンサバンクの容量は電圧降下が 120 kV に対して $\pm 10\%$ 程度、すなわち 132 kV から 108 kV 程度になる値に設定した。また、補償回路には定格電圧 1.2 kV の IGBT または SiC-MOSFET の使用を想定し、 v_{dc}^* を約 670 V に設定し、補償回路は 18 段構成とした。提案方式において、電圧変動は最小でも補償回路 1 段分の電圧となる。この設計における最小電圧変動は定格の 120 kV に対し 0.56% である。すなわち平坦度は約 1% を満たす。

従来方式と提案方式において必要なコンデンサのパラメータを Table 2 にまとめる。提案方式については Table 1 にまとめた電圧リップル 0.56% の設計、従来方式については電圧降下が 5% とした。コンデンサの体積は概ね静電容量に比例し、定格電圧（最大電圧）の 2 乗に比例すると考えられるため、体積の評価基準 CV^2 として表示した。ただし従来方式の値で規格化している。これによると提案方式は従来方式のこの設計より平坦度が優れているにもかかわらず、コンデンサの体積において約 1/3 で実現できる可能性を示している。

4.2 シミュレーション結果

Figure 10 に定常状態におけるコンデンサバンク電圧 v_{main} , 発生パルス電圧 v_{load} , 交流側電流（1次側） i_r ,

Table 1: Parameters for Simulation

トランス 1 次側電圧 (線間)		6.6 kV
トランス 2 次側電圧 (線間)		110 kV
漏れインダクタンス (2 次換算)		8.26 H
電源周波数	f_{line}	50 Hz
パルス繰り返し周波数	f_{pulse}	10 Hz
パルス幅	T	1.65 ms
パルス電圧	V_{pulse}	120 kV
負荷	R	857 Ω
パルス電流	I_{pulse}	140 A
主コンデンサバンク静電容量	C_{main}	10 μF
補償回路段数	N_{comp}	18 段
補償回路コンデンサ静電容量	C_{dc}	1400 μF
各段補償電圧指令値	v_{dc}^*	670 V

Table 2: Capacitor Volume Evaluation

	従来方式	提案方式
主コンデンサバンク静電容量	38.5 μF	10 μF
主コンデンサバンク最大電圧	123 kV	132 kV
補償回路コンデンサ静電容量	-	1400 μF
補償回路コンデンサ最大電圧	-	670 V
補償回路コンデンサ個数	-	18
主コンデンサバンク CV^2	1.000	0.299
補償回路コンデンサ CV^2	0	0.019
合計 CV^2	1.000	0.318

i_s , i_t を示す。 v_{main} が大きく変動していることがわかる。また交流電流には発生パルスに起因する 10Hz の脈動が見られるが、サイリスタ電圧調整装置の制御によりパルス間においても一定速度でコンデンサを充電している。

1 パルスの詳細な波形を Figure 11 に示す。 v_{main} の脈動に対し補償回路の働きによりフラットなパルス電圧 v_{pulse} が得られ、平坦度 1%(p-p) を達成した。しかし \bar{v}_{main} が 120 kV よりやや小さい値となったことによるオフセットが観測された。これはサイリスタ制御が定常状態に達していないためだと考えられる。また補償回路の充電時と放電時において若干非対称な波形が観測された。

5. 結論

コンデンサ放電型のクライストロン用パルス電源について、コンデンサバンクの電圧変動を補償する直列型補償回路の導入について検討した。コンデンサバンクの電圧変動を許容することで必要な静電容量を低減し、体積を大きく削減できる可能性があることを示した。

また、提案方式の制御法について検討し、補償回路のコンデンサ電圧の制御法、補償回路自体の静電容量を小さくした場合に発生する補償電圧の脈動を抑える制御手法を提案した。また、変動するコンデンサ電圧

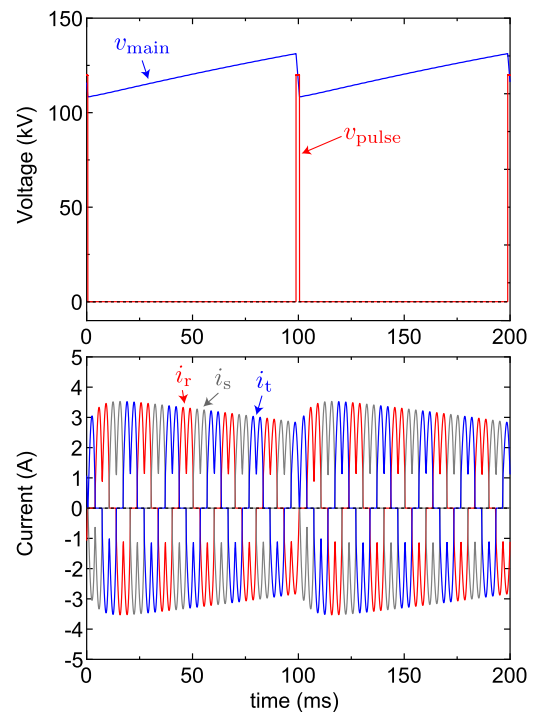


Figure 10: Simulation waveforms in several line cycles.

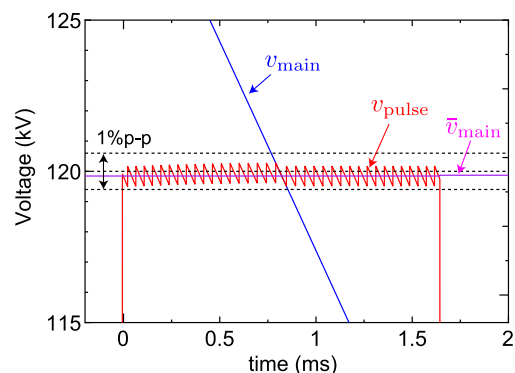


Figure 11: Simulation waveforms in a pulse.

に対しほぼ一定の電力を供給するために、サイリスタ電圧調整装置を用いることについて検討した。これらを統合したシミュレーションを実施し、この制御方式が実現可能であることを示した。

参考文献

- [1] 明本 光生, 他: “KEK 超伝導加速器試験施設 (STF) に於ける 10 MW クライストロン用長パルスモジュレータの開発,” in *Proceedings of Particle Accelerator Society Meeting 2009*, pp. 773–775 (2009).
- [2] 小笹 有輝, 他: “ILC 用半導体マルクス電源,” in *Proceedings of Particle Accelerator Society Meeting 2014*, pp. 629–634 (2014).
- [3] 高橋 勇紀, 他: “コンデンサ放電型パルス電圧発生回路への出力電圧補償回路の適用に関する検討,” 平成 29 年電気学会全国大会, 富山大学五福キャンパス, 2017 年 3 月 15 日~3 月 17 日, 第 1 分冊 pp. 210-211.