

# PFN CIRCUIT OPTIMIZATION OF THE XFEL/SPRING-8 KLYSTRON MODULATOR

Katsutoshi Shirasawa<sup>1</sup>, Takahiro Inagaki, Chikara Kondo, Tatsuyuki Sakurai, Tsumoru Shintake  
 SPRING-8 Joint-Project for XFEL/RIKEN, 1-1-1, Kouto, Sayo, Hyogo, 679-5148

## Abstract

We optimized a PFN circuit of the XFEL/SPRING-8 Klystron modulator. The power supply is required to generate -350 kV, 310 A, 2.5  $\mu$ s flat top pulse to drive a C-band 50 MW klystron. In order to decide a distribution of the PFN inductance, numerical simulation was performed. The PFN inductance was optimized to obtain a good flatness at the pulse flat top. A simulated annealing method was adapted for the optimization. In this paper, we report the result of the PFN circuit optimization.

## XFEL/SPRING-8クライストロン用パルス電源の PFN回路シミュレーション

### 1. 序論

XFEL/SPRING-8で主加速器に使用されるクライストロン用モジュレータの、PFN回路の最適化をシミュレーションにより行った。本モジュレータは、PFN回路とパルストランスが絶縁油を満たした同じ筐体に収められており、Cバンド50 MWクライストロンを駆動する為、-350 kV、パルス全幅5  $\mu$ s(平坦部2.5  $\mu$ s)の高電圧パルスを発生する。一般的にクライストロン電源のPFNコイルは、アルミリングによりインダクタンスを調整するが、本モジュレータではアルミリングを省略したため調整することが出来ない。よって、設計段階でPFNコイルの定数を決定する為、シミュレーションを行った。PFNは16段で構成されるので各コイルのインダクタンスを調整し、所定の電圧パルスを得る。細かな調整に関しては、パルス平坦部の平坦度を評価関数とし、焼き鈍し法を用いてコイルのインダクタンスを最適化した。

### 2. クライストロン用パルス電源

|                |                                     |
|----------------|-------------------------------------|
| 出力電圧・電流        | -350 kV, 310 A,                     |
| パルス幅           | 5 $\mu$ s(平坦部2.5 $\mu$ s)           |
| PFN            | 29.3 nF $\times$ 16段                |
| PFN 充電電圧       | 最大 50 kV                            |
| パルストランス<br>昇圧比 | 1:16 (巻数 7:112)                     |
| 負荷インピーダンス      | 1.1 k $\Omega$ (1次換算 4.3 $\Omega$ ) |

表 1, クライストロン用パルス電源の主なパラメータ

XFEL/SPRING-8で開発しているクライストロン用パルス電源の主なパラメータを表 1 に示す。また等

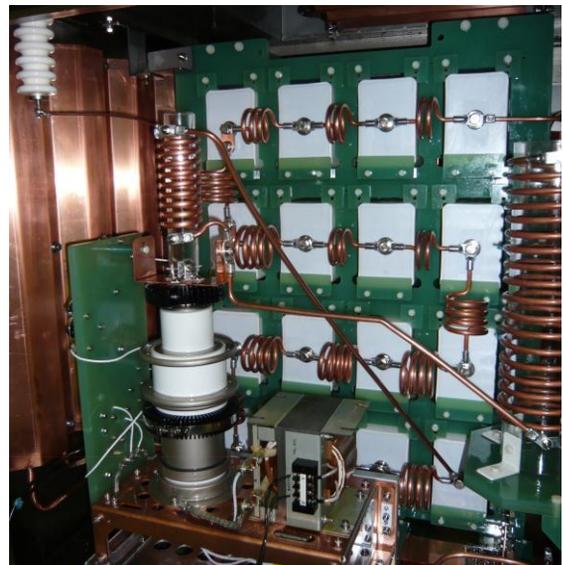


図 1, パルス電源に内蔵されているPFN回路。白い四角いものがキャパシターでそれぞれコイルで接続されている。コイルのインダクタンスは最適化後である。左手前に見える円筒形のはサイラトロン。

価回路を図 2 に示す。この等価回路は、電圧パルスの形を再現することを目的としているので、保護回路等は含まれていない。図中に示されている各パラメータは以下の通りである。

○PFN部

L<sub>PFN</sub> : PFNコイルのインダクタンス

R<sub>c</sub> : PFNキャパシターの抵抗(1  $\Omega$ )

C<sub>PFN</sub> : PFNキャパシターの容量(29.3 nF)

○パルストランス+負荷

<sup>1</sup> E-mail: kshira@spring8.or.jp

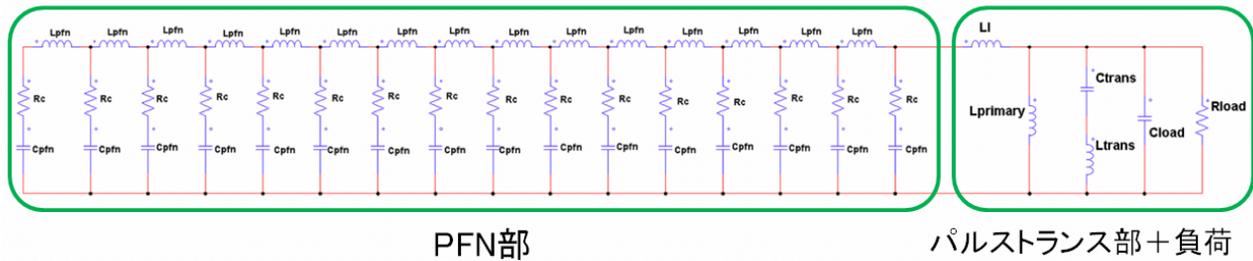


図2, シミュレーションで使したパルス電源の等価回路。  
パルストランスと負荷は1次側から見た等価回路になっている。

- L1 : リークインダクタンス
- Lprimary : 励磁インダクタンス
- Ctrans : トランスの巻線-GND間の浮遊容量
- Ltrans : Ctransにチャージする時のインダクタンス
- Cload : 負荷のキャパシター成分
- Rload : 負荷を1次に換算した抵抗値(4.3 Ω)

### 2.1 PFN部

PFNは16段で構成されている。キャパシターの容量は1つ29.3 nF, 全部で29.3 nF×16=470 nFとなっている。それぞれのキャパシターは図1に示されているように空芯コイルで接続され、PFNを構成している。一般的なクライストロン用パルス電源ではコイルの内部にアルミのショートリングを備えており、コイルから出し入れすることによってインダクタンスを調整する。本電源では、実装上の問題と再現性の良いPFN回路とする為、ショートリングは削除されている。インダクタンスを調整するには、取り付けのコイルの巻径、巻数を変えなければならない。Rcを考慮すると各インダクタンスを変化させたときの波形の変化が実測と良く合うのでシミュレーションに含めた。

### 2.2 パルストランス部

パルストランス部は1次側から見た等価回路になっている。L1はトランスのリークインダクタンスであるが、実際にはPFNとパルストランス間に存在する空芯コイルと配線のインダクタンスの合計となる。Lprimaryに関してはLCRメータで測定される値は約300 μHであるが、この値は初透磁率の範囲で測定されているので、シミュレーションでは設計値である560 μHを使用した。パルス平坦部のリングングの原因となるはCtransとLtransの共振である[1]。

### 2.3 負荷

目的の負荷はCバンド50 MWパルスクライストロンである。設計パービアンスは1.55 μP, 定格でのインピーダンスは1.1 kΩとなる。等価回路の中では1次側に換算されるので1.1 kΩ/16<sup>2</sup>=4.3 Ωとなる。試験用に作成した抵抗負荷を使用した時の電圧波形

を、クライストロンが負荷であるときの波形と比較するとパルス部はほぼ一致する。したがって、シミュレーションの中でも単純な抵抗としている。

## 3. シミュレーション

今回、PFNの最適化を行うため、図2に示した等価回路を計算するプログラムを作成した。回路方程式を、4次のルンゲクッタで計算する。実測した波形とシミュレーション結果を比較したものを図3に示す。立ち上がり部で差がみられる部分があるが、それ以外は、よく一致していることが分かる。したがって、この等価回路を用いてPFNの最適化を行うことにした。

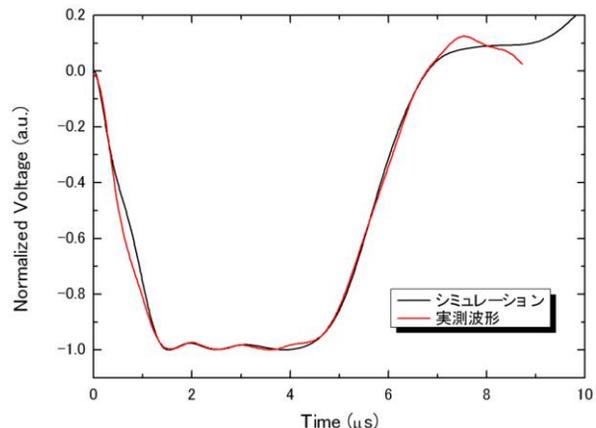


図3, 実測波形とシミュレーションの比較。PFNは最適化後である。

## 4. 最適化

最適化の手法に関して以下に説明する。

### 4.1, パルストランスパラメータの決定

PFNのインダクタンスを全て一定とした時の実測電圧波形とシミュレーション波形の残差の二乗和が最小となるように各パラメータをサーチした。最も二乗和が小さくなったパルストランスのパラメータを表2に示す。次にこのパラメータを使用して、PFNの最適化を行った。

|          |                            |
|----------|----------------------------|
| L1       | 5.7 $\mu$ H ※測定値は3 $\mu$ H |
| Lprimary | 560 $\mu$ H ※設計値を使用        |
| Ctrans   | 19.1 nF                    |
| Ltrans   | 2.3 $\mu$ H                |
| Cload    | 30 $\mu$ H                 |

表 2, パラメータサーチにより決定したパルストランスと負荷の浮遊容量。

#### 4.2, PFNパラメータの決定

キャパシタの値は一定として, カタログの数値を採用した。Rcは実測波形との比較より決定。したがって, 最適化すべきは各コイルのインダクタンスである。インダクタンス最適化手順を以下に示す。

1. 変更するLの数を決定する。
2. 1で決定した分だけ, 変更するLの番号(場所)を決定する。
3. インダクタンスの値を候補の中から選択。
4. 出力波形を計算し, 評価関数を計算。
5. 解(各インダクタンスの候補)を採用するか決定。
6. 1に戻る。

1-3の決定又は選択は, 乱数を発生しランダムに行う。以上を決められた回数繰り返す。PFNインダクタンスの候補は, 製造と取付け空間を考慮して, 0.35  $\mu$ Hから1.05  $\mu$ Hまでの5種類とした。

#### 4.3, 評価関数

パルス平坦部の波形ができるだけフラットとなるよう, 平坦部の電圧の標準偏差を評価関数とした。平坦部の時間幅を決めることでパルス幅も調整することができる。

#### 4.4, 候補解の選択

最適化の方法としてランダムサーチと焼鈍し法を採用した。ランダムサーチでは単純に評価関数の値

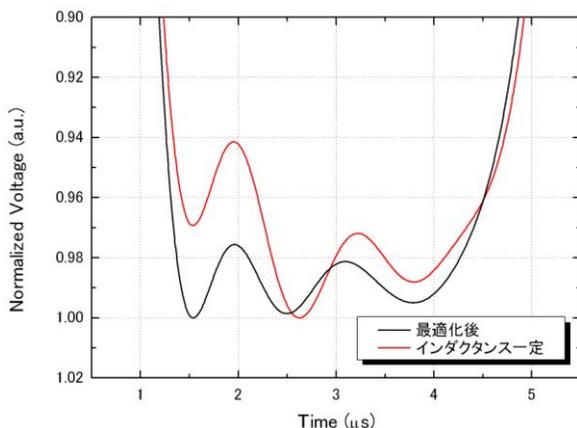


図 4, PFNインダクタンス最適化後の出力電圧波形を計算したもの。比較のため規格化して平坦部を拡大している。平坦部のリングングが減少している。

が良ければ採用する。焼き鈍し法では, 温度が高い状態(シミュレーションの初期)では評価関数の値が悪い候補を採用することもある(確率が高い)。一般的に焼鈍し法は局所解に陥ることが少ない。今回も焼鈍し法の方が, 最適化が安定し毎回同じ解が得られた。

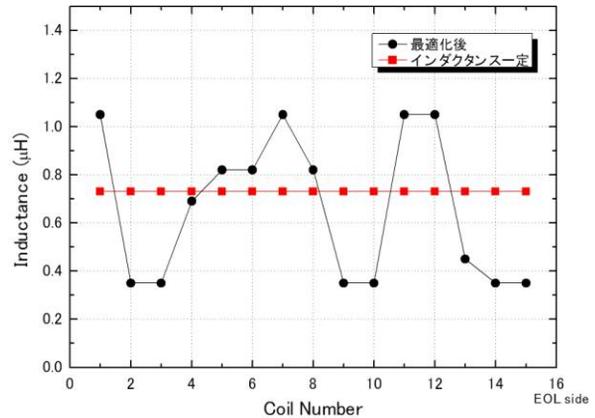


図 5, 最適化後のインダクタンスの分布。Coil Numberの小さいほうが負荷に近いコイル。

#### 4.5 最適化の効果

PFNインダクタンスが一定の場合と最適化した場合の出力波形を図4に示す。インダクタンス一定のときは約6%のリングングが平坦部に見られるが, 最適化後は約2%となっている。最適化前後のインダクタンスの分布を図5に示す。最適化後のインダクタンスの分布は平坦部のリングングを打ち消す分布になっている。先にも述べたが, パルス平坦部のリングングはパルストランスで決定してしまう。今回製作したパルストランスとPFNに取付け可能なコイルのインダクタンスを考慮すると2%より平坦度を良くする解を今回は見つけることが出来なかった。しかし, 我々の加速器はシングルパスかつパルスコンプレッサー(SLED)を使用するので, 再現性が良ければ, 平坦度2%でも問題ない。この電源を使用したCバンド加速管のRF試験でも加速電界40 MV/mが得られている[2]。

### 5. まとめ

PFN回路の最適化をシミュレーションにより行った。シミュレーションによるPFN回路の最適化を行うことによって実物での試行錯誤を繰り返すことなく各コイルのインダクタンスを決定することができた。

### 謝辞

XFEL/SPring-8のクライストロン用パルス電源を製造しているニチコン株式会社, XFEL主加速部の皆様の協力に感謝します。

## 参考文献

- [1] G.N.Glasoe, et al. "PULSE GENERATORS", Dover Publications Inc.
- [2] 櫻井辰幸他, "XFEL/SPring-8テストスタンドでのCバンド家屋機システムの高電界RF試験", 本学会ポスター発表